



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202312374 A

(43)公開日：中華民國 112 (2023) 年 03 月 16 日

(21)申請案號：111131998

(22)申請日：中華民國 111 (2022) 年 08 月 25 日

(51)Int. Cl. : H01L23/12 (2006.01)

H01L23/495 (2006.01)

H01L23/528 (2006.01)

(30)優先權：2021/09/09 美國

63/242,400

(71)申請人：美商應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：陳 翰文 CHEN, HAN-WEN (US)；維哈佛貝可 史帝文 VERHAVERBEKE, STEVEN (US)；朴起伯 PARK, GIBACK (KR)

(74)代理人：李世章；彭國洋

申請實體審查：無 申請專利範圍項數：20 項 圖式數：17 共 119 頁

(54)名稱

用於半導體設備封裝的加勁框架

(57)摘要

本揭示內容與半導體設備和其形成方法相關。更詳細而言，本揭示內容與具有形成在其上的加勁框架的半導體封裝設備相關。加勁框架的納入改進了半導體封裝設備的結構完整性，以減輕翹曲和/或塌陷，同時能夠利用更薄的核心基板，以改進所封裝的設備之間的訊號完整性和電源輸送。

The present disclosure relates to semiconductor devices and methods of forming the same. More particularly, the present disclosure relates to semiconductor package devices having a stiffener framed formed thereon. The incorporation of the stiffener frame improves the structural integrity of the semiconductor package devices to mitigate warpage and/or collapse while simultaneously enabling utilization of thinner core substrates for improved signal integrity and power delivery between packaged devices.

指定代表圖：



V₃:直徑

【發明摘要】

【中文發明名稱】用於半導體設備封裝的加勁框架

【英文發明名稱】STIFFENER FRAME FOR SEMICONDUCTOR DEVICE

PACKAGES

【中文】

本揭示內容與半導體設備和其形成方法相關。更詳細而言，本揭示內容與具有形成在其上的加勁框架的半導體封裝設備相關。加勁框架的納入改進了半導體封裝設備的結構完整性，以減輕翹曲和/或塌陷，同時能夠利用更薄的核心基板，以改進所封裝的設備之間的訊號完整性和電源輸送。

【英文】

The present disclosure relates to semiconductor devices and methods of forming the same. More particularly, the present disclosure relates to semiconductor package devices having a stiffener framed formed thereon. The incorporation of the stiffener frame improves the structural integrity of the semiconductor package devices to mitigate warpage and/or collapse while simultaneously enabling utilization of thinner core substrates for improved signal integrity and power delivery between packaged devices.

【指定代表圖】第（ 1A ）圖。

【代表圖之符號簡單說明】

1 0 0：半 導 體 核 心 組 件

- 1 0 1 : 側 壁
- 1 0 2 : 核 心 基 板
- 1 0 3 : 貫 通 基 板 的 導 孔
- 1 0 4 : 鈍 化 層
- 1 0 5 : 主 要 表 面
- 1 0 6 : 第 二 表 面
- 1 0 7 : 主 要 表 面
- 1 0 8 : 第 二 表 面
- 1 0 9 : 側 壁
- 1 1 0 : 加 勁 框 架
- 1 1 1 : 黏 著 劑
- 1 1 3 : 貫 通 組 件 的 導 孔
- 1 1 7 : 開 口
- 1 1 8 : 絕 緣 層
- 1 2 0 : 半 導 體 裸 晶
- 1 2 1 : 側 壁
- 1 2 2 : 觸 點
- 1 2 4 : 焊 料 凸 塊
- 1 4 4 : 電 氣 互 連 結 構
- 1 5 0 : 再 分 佈 層
- 1 5 3 : 再 分 佈 導 孔
- 1 5 4 : 垂 直 再 分 佈 連 接 件
- 1 5 6 : 橫 向 再 分 佈 連 接 件

1 7 5 : 第 一 側

1 7 7 : 第 二 側

D ₁ : 橫 向 尺 寸

P ₁ : 間 距

T ₁ : 厚 度

T ₂ : 厚 度

T ₃ : 厚 度

V ₁ : 直 徑

V ₂ : 直 徑

V ₃ : 直 徑

【特徵化學式】

無

【發明說明書】

【中文發明名稱】用於半導體設備封裝的加勁框架

【英文發明名稱】STIFFENER FRAME FOR SEMICONDUCTOR DEVICE
PACKAGES

【技術領域】

【0001】 本揭示內容的實施例大致與半導體設備相關。更具體地說，本文所描述的實施例與利用加勁框架的半導體設備封裝和其形成方法相關。

【先前技術】

【0002】 伴隨著其他正在進行的小型化電子設備和部件的發展趨勢，對更快的處理能力的需求對積體電路晶片、系統和封裝結構的製造中所利用的材料、結構和製程提出了對應的要求。

【0003】 傳統上，積體電路是在有機基板上製造的，因為其中的電氣連接容易形成，而且與有機複合物相關聯的製造成本相對較低。然而，隨著電路密度的不斷增加和電子設備的進一步小型化，由於維持設備比例率(scaling)和相關聯的性能要求的材料結構解析度的限制，有機基板的利用變得不切實際。此外，當用於半導體設備封裝時，由於與半導體裸晶(die)和其他矽基部件的熱膨脹不匹配，有機基板呈現出較高的封裝應力，這可能導致基板撓曲。而且，由於有機材料具有相對較小的彈性域，其撓曲通常會導致永久性的翹曲。

【0004】 最近，2.5 D 和 3 D 積體電路是利用矽基板來製造，以補償與有機基板相關聯的一些限制。矽基板的利用是由先進的電子安裝和封裝應用中所尋求的高頻寬密度、低功率晶片間通訊和異質整合的潛力所驅動的。然而，由於尋求更薄的矽基板來減少電路路徑和電氣連接的長度和距離，以提高電氣性能，更薄的矽基板的剛性降低帶來了類似的翹曲問題，特別是在組裝和測試製造製程期間。

【0005】 因此，本領域需要的是具有更高頻寬和剛性的薄型半導體設備封裝結構，以及形成這些結構的方法。

【發明內容】

【0006】 本揭示內容一般與電子安裝結構和其形成方法相關。

【0007】 在某些實施例中，提供了一種半導體設備組件。該半導體設備組件包括：矽芯，具有與第二側相對的第一側，其中該矽芯具有從該第一側通過該矽芯到該第二側的導孔；氧化物層，位於該第一側和該第二側；以及一個或多個導電互連結構，通過該導孔，並且具有在該第一側和該第二側處暴露的表面。該半導體設備組件進一步包括：絕緣層，位於該第一側和該第二側的該氧化物層上方和該開口內；第一再分佈層，位於該第一側；以及矽加勁框架，位於該第一側的該絕緣層和該第一再分佈層上方，該加勁框架的外表面實質上沿著該半導體設備組件的周邊設置。

【0008】 在某些實施例中，提供了一種半導體設備組件。該半導體設備組件包括：矽芯，具有與第二側相對的第一側，其中該矽芯具有從該第一側通過該矽芯延伸到該第二側的導孔；金屬層，位於該第一側和該第二側，並且與地線電性耦合；以及一個或多個導電互連結構，通過該導孔，並且具有在該第一側和該第二側處暴露的表面。該半導體設備組件進一步包括：絕緣層，位於該第一側和該第二側的該金屬層上方和該導孔內；第一再分佈層，位於該第一側；以及矽加勁框架，位於該第一側的該絕緣層和該第一再分佈層上方，該加勁框架的外表面實質上沿著該半導體設備組件的周邊設置。

【0009】 在某些實施例中，提供了一種半導體設備組件。該半導體設備組件包括：矽芯，具有與第二側相對的第一側，其中該矽芯具有從該第一側通過該矽芯延伸到該第二側的導孔；氧化物層，位於該第一側和該第二側；以及一個或多個導電互連結構，通過該導孔，並且具有在該第一側和該第二側處暴露的表面。該半導體設備組件進一步包括：絕緣層，位於該第一側和該第二側的該氧化物層上方和該導孔內；第一再分佈層，位於該第一側；以及矽加勁框架，在該矽芯的該第一側與該氧化物層接觸，該加勁框架的外表面實質上沿著該矽芯的周邊設置。

【圖式簡單說明】

【0010】 為了能夠詳細理解本揭示內容的上述特徵，可以藉由參考實施例獲得上文簡要概述的本揭示內容的更

詳細的描述，其中一些實施例在附圖中得到說明。然而，需要注意的是，附圖只說明示例性的實施例，因此不應被視為對本揭示內容的範圍的限制，因為本揭示內容可以接受其他同等有效的實施例。

【0011】 圖1A示意性地說明了依據本文所述的實施例，示例半導體設備的橫截面側視圖。

【0012】 圖1B示意性地說明了依據本文所述的實施例，示例半導體設備的橫截面側視圖。

【0013】 圖1C示意性地說明了依據本文所述的實施例，示例半導體設備的橫截面側視圖。

【0014】 圖1D示意性地說明了依據本文所述的實施例，圖1C的示例半導體設備的放大橫截面側視圖。

【0015】 圖1E示意性地說明了依據本文所述的實施例，示例半導體設備的俯視圖。

【0016】 圖1F示意性地說明了依據本文所述的實施例，示例半導體設備的俯視圖。

【0017】 圖1G示意性地說明了依據本文所述的實施例，示例半導體設備的俯視圖。

【0018】 圖2是一個流程圖，說明了依據本文所述的實施例，用於形成圖1A-1D的半導體設備的製程的流程圖。

【0019】 圖3是一個流程圖，說明了依據本文所述的實施例，用於構造半導體設備的基板的製程的流程圖。

【0020】 圖4A-4D示意性地說明了依據本文所述的實施例，在圖3中所描繪的製程的不同階段的基板的橫截面側視圖。

【0021】 圖5是一個流程圖，它說明了依據本文所述的實施例，用於在半導體核心組件的基板上形成絕緣層的製程。

【0022】 圖6A-6I示意性地說明了依據本文所述的實施例，在圖5中所描繪的製程的不同階段的基板的橫截面側視圖。

【0023】 圖7是一個流程圖，它說明了依據本文所述的實施例，用於在半導體核心組件的基板上形成絕緣層的製程。

【0024】 圖8A-8E示意性地說明了依據本文所述的實施例，在圖7中所描繪的製程的不同階段的基板的橫截面側視圖。

【0025】 圖9是一個流程圖，說明了依據本文所述的實施例，用於在半導體核心組件中形成互連結構的製程。

【0026】 圖10A-10H示意性地說明了依據本文所述的實施例，在圖9中所描繪的製程的不同階段的半導體核心組件的橫截面側視圖。

【0027】 圖11是一個流程圖，它說明了依據本文所述的實施例，用於在半導體核心組件上形成再分佈層的製程。

【0028】 圖12A-12L示意性地說明了依據本文所述的實施例，在圖11中所描繪的製程的不同階段的半導體核心組件的橫截面側視圖。

【0029】 圖13是一個流程圖，說明了依據本文所述的實施例，用於在半導體核心組件上形成加勁框架的製程。

【0030】 圖14A-14J示意性地說明了依據本文所述的實施例，在圖13中所描繪的製程的不同階段的半導體核心組件的橫截面側視圖。

【0031】 圖15示意性地說明了依據本文所述的實施例，示例半導體設備的橫截面側視圖。

【0032】 圖16示意性地說明了依據本文所述的實施例，示例半導體設備的橫截面側視圖。

【0033】 圖17示意性地說明了依據所述的實施例，示例半導體設備的橫截面側視圖。

【0034】 為了便於理解，在可能的情況下，使用了相同的附圖標記來指明圖式中共同的相同元素。可以預期，一個實施例的元素和特徵可以有益地併入其他實施例，而無需進一步敘述。

【實施方式】

【0035】 本揭示內容與半導體設備和其形成方法相關。更詳細而言，本揭示內容與具有形成在其上的加勁框架的半導體封裝設備相關。

【0036】 本文所述的半導體封裝設備和方法可以用於形成同質和異質的高密度整合設備，包括半導體封裝、倒

裝晶片球柵陣列（**f c B G A**或倒裝晶片**B G A**）半導體封裝、印刷電路板（**P C B**）組件、**P C B**間隔件組件、晶片載體和中間載體組件（例如，用於顯卡）、記憶體堆疊等。在某些態樣中，所揭露的裝置和方法旨在取代更傳統的**f c B G A**封裝結構，這些結構受限於通常用來形成這些各種結構的材料的固有性質。特別是，傳統的**f c B G A**封裝結構可能會因其部件之間的熱膨脹不匹配而產生更大的機械應力，導致高比率的基板撓曲、翹曲和/或塌陷。由於這些設備的基板被縮放以改進訊號完整性和電源輸送，這種應力被進一步放大，導致其結構穩定性降低。因此，本文所揭露的設備和方法提供了克服與上述傳統**f c B G A**封裝結構相關聯的許多缺點的半導體封裝設備。

【0037】 圖1A-1D說明了依據本揭示內容的某些實施例，薄型半導體核心組件100的不同配置的橫截面側視圖。半導體核心組件100可以用於半導體封裝或其他設備的結構支撐和電氣互連，這些半導體封裝或其他設備可以利用任何合適的技術安裝到該半導體核心組件，例如倒裝晶片或晶圓凸塊。在某些例子中，半導體核心組件100可以作為表面安裝的設備（如晶片或顯卡）的載體結構。半導體核心組件100一般包括核心基板102，可選的鈍化層104（示於圖1A和1C中）或金屬包覆層114（示於圖1B中），絕緣層118，和加勁框架110。

【0038】 在某些實施例中，核心基板102包括由任何合適的基板材料形成的圖案化（例如，結構化）基板。例如，

核心基板 102 包括由 III-V 族化合物半導體材料、矽（其例如具有約 1 與約 10 歐姆-cm 之間的電阻率或約 100 W/mK 的導電率）、結晶矽（例如 Si<100> 或 Si<111>）、氧化矽、矽鍺、摻雜或未摻雜的矽、未摻雜的高電阻率矽（例如，具有較低溶解氧含量和約 5000 與約 10000 歐姆-厘米之間的電阻率的浮動區矽）、摻雜或未摻雜的多晶矽、氮化矽、碳化矽（其例如具有約 500 W/mK 的導電率）、石英、玻璃（例如，硼矽酸鹽玻璃）、藍寶石、氧化鋁和 / 或陶瓷材料所形成的基板。在某些實施例中，核心基板 102 包括單晶 p 型或 n 型矽基板。在某些實施例中，核心基板 102 包括多晶 p 型或 n 型矽基板。在另一個實施例中，核心基板 102 包括 p 型或 n 型矽太陽能基板。一般來說，用於形成核心基板 102 的基板可以有多邊形或圓形的形狀。例如，核心基板 102 可以包括實質正方形的矽基板，在有或沒有倒角邊緣的情況下，其橫向尺寸介於約 120 毫米與約 180 毫米之間，如約 150 毫米，或介於約 156 毫米與約 166 毫米之間。在另一個例子中，核心基板 102 可以包括圓形的含矽晶圓，其直徑介於約 20 毫米與約 700 毫米之間，如約 100 毫米與約 500 毫米之間，例如約 200 毫米或約 300 毫米。

【0039】 核心基板 102 的厚度 T_1 介於約 50 微米與約 1500 微米之間，例如厚度 T_1 介於約 90 微米與約 780 微米之間。例如，核心基板 102 的厚度 T_1 介於約 100 微米與約 300 微米之間，例如厚度 T_1 介於約 110 微米與約 200 微米

之間，例如厚度 T_1 為約 170 微米。在另一個例子中，核心基板 102 的厚度 T_1 介於約 70 微米與約 150 微米之間，例如厚度 T_1 介於約 100 微米與約 130 微米之間。在另一個例子中，核心基板 102 的厚度 T_1 介於約 700 微米與約 800 微米之間，例如厚度 T_1 介於約 725 微米與約 775 微米之間。

【0040】 核心基板 102 進一步包括形成在其中的一個或多個貫穿基板的導孔 103（例如通孔），以使導電的電氣互連結構能夠通過核心基板 102 路由。一般來說，一個或多個貫通基板的導孔 103 實質上是圓柱形的。然而，其他合適的貫通基板的導孔 103 的形態也在考慮之列。貫通基板的導孔 103 可以形成為通過核心基板 102 的單一和隔離的貫通基板的導孔 103，或者形成為一個或多個分組或陣列。在某些實施例中，每個導孔 103 之間的最小間距 P_1 （例如導孔中心間的間距）小於約 1000 微米，例如介於約 25 微米與約 200 微米之間。例如，間距 P_1 介於約 40 微米與約 150 微米之間，如約 100 微米與約 140 微米之間，如約 120 微米。在某些實施例中，該一個或多個貫通基板的導孔 103 的直徑 V_1 小於約 500 微米，例如直徑 V_1 小於約 250 微米。例如，貫通基板的導孔 103 的直徑 V_1 介於約 25 微米與約 100 微米之間，例如直徑 V_1 介於約 30 微米與約 60 微米之間。在某些實施例中，貫通基板的導孔 103 的直徑 V_1 為約 40 微米。

【0041】 圖 1A 和 1C 的可選的鈍化層 104 可以形成在核心基板 102 的一個或多個表面上，包括第一表面 108、

第二表面 106，以及貫通基板的導孔 103 的一個或多個側壁 101。在某些實施例中，鈍化層 104 實質上形成在核心基板 102 的所有外表面上，使得鈍化層 104 實質上包圍核心基板 102。因此，鈍化層 104 為核心基板 102 提供了保護性的外部屏障層，以防止腐蝕和其他形式的損害。在某些實施例中，鈍化層 104 包括氧化物膜或層，如熱氧化物層。在一些例子中，鈍化層 104 的厚度介於約 100 奈米與約 3 微米之間，例如厚度介於約 200 奈米與約 2.5 微米之間。在一個例子中，鈍化層 104 的厚度介於約 300 奈米與約 2 微米之間，例如厚度為約 1.5 微米。

【0042】 在圖 1B 所示的實施例中，核心基板 102 包括取代鈍化層 104 的金屬包覆層 114，它可以形成在該核心基板的一個或多個表面上，包括第一表面 108、第二表面 106，以及貫通基板的導孔 103 的一個或多個側壁 101。在某些實施例中，金屬包覆層 114 實質上形成在核心基板 102 的所有外表面上，使得金屬包覆層 114 實質上包圍核心基板 102。金屬包覆層 114 作為參考層（例如接地層或電壓供應層），被設置在核心基板 102 上，以保護隨後形成的互連結構免受電磁干擾，同時也從用於形成核心基板 102 的半導體材料（Si）遮蔽了電訊號。在某些實施例中，金屬包覆層 114 包括導電金屬層，該導電金屬層包括鎳、鋁、金、鈷、銀、鈮、錫等。在某些實施例中，金屬包覆層 114 包括金屬層，該金屬層包括合金或純金屬，該合金或純金屬包括鎳、鋁、金、鈷、銀、鈮、錫等。金屬包覆

層 114 的厚度一般介於約 50 奈米與約 10 微米之間，如約 100 奈米與約 5 微米之間。

【0043】絕緣層 118 形成在核心基板 102、鈍化層 104 或金屬包覆層 114 的一個或多個表面上，並且可以實質上包裹住鈍化層 104、金屬包覆層 114 和 / 或核心基板 102。因此，絕緣層 118 可以延伸到貫通基板的導孔 103 中，並塗覆形成在側壁 101 上的鈍化層 104 或金屬包覆層 114，或直接塗覆核心基板 102，從而界定了圖 1A 中所描繪的直徑 V_2 。在某些實施例中，絕緣層 118 從核心基板 102、鈍化層 104 或金屬包覆層 114 的外表面到絕緣層 118 的相鄰外表面（例如主要表面 105、107）的厚度 T_2 小於約 50 微米，例如厚度 T_2 小於約 20 微米。例如，絕緣層 118 的厚度 T_2 介於約 5 微米與約 10 微米之間。

【0044】在某些實施例中，絕緣層 118 是由基於聚合物的介電質材料形成的。例如，絕緣層 118 是由可流動的堆積材料形成的。因此，儘管下文稱為「絕緣層」，但絕緣層 118 也可以被描述為介電質層。在另一個實施例中，絕緣層 118 是由具有陶瓷填料（如二氧化矽（ SiO_2 ）顆粒）的環氧樹脂材料形成的。可以用於形成絕緣層 118 的陶瓷填料的其他例子包括氮化鋁（ AlN ）、氧化鋁（ Al_2O_3 ）、碳化矽（ SiC ）、氮化矽（ Si_3N_4 、 $\text{Sr}_2\text{Ce}_2\text{Ti}_5\text{O}_{16}$ 、矽酸鋯（ ZrSiO_4 ）、矽灰石（ CaSiO_3 ）、氧化鈹（ BeO ）、二氧化鈰（ CeO_2 ）、氮化硼（ BN ）、鈣銅鈦酸（ $\text{CaCu}_3\text{Ti}_4\text{O}_{12}$ ）、氧化鎂（ MgO ）、二氧化鈦（ TiO_2 ）、

氧化鋅（ ZnO ）等。在一些例子中，用於形成絕緣層 118 的陶瓷填料的顆粒尺寸介於約 40 奈米與約 1.5 微米之間，如約 80 奈米與約 1 微米之間。例如，陶瓷填料的顆粒尺寸介於約 200 奈米與約 800 奈米之間，如約 300 奈米與約 600 奈米之間。在一些實施例中，陶瓷填料包括尺寸小於核心基板 102 中相鄰的貫通基板的導孔 103 的寬度或直徑的約 10 % 的顆粒，例如尺寸小於貫通基板的導孔 103 的寬度或直徑的約 5 % 的顆粒。

【0045】 一個或多個貫通組件的導孔 113 通過絕緣層 118 形成，在那裡，絕緣層 118 延伸到貫通基板的導孔 103 中。例如，貫通組件的導孔 113 可以形成在貫通基板的導孔 103 的中心內，並被設置在其中的絕緣層 118 所包圍，從而創建「孔中孔（*via-in-via*）」結構。相應地，絕緣層 118 形成貫通組件的導孔 113 的一個或多個側壁 109，其中貫通組件的導孔 113 的直徑 V_2 小於貫通基板的導孔 103 的直徑 V_1 。在某些實施例中，貫通組件的導孔 113 的直徑 V_2 小於約 100 微米，例如小於約 75 微米。例如，貫通組件的導孔 113 的直徑 V_2 小於約 50 微米，例如小於約 35 微米。在某些實施例中，貫通組件的導孔 113 的直徑介於約 25 微米與約 50 微米之間，例如直徑介於約 35 微米與 40 微米之間。

【0046】 貫通組件的導孔 113 提供通道，通過這些通道在半導體核心組件 100 中形成一個或多個電氣互連結構 144。在某些實施例中，電氣互連結構 144 是通過半導體

核心組件 100 的厚度的一部分形成的，如圖 1A - 1C 所示。在某些其他實施例中，電氣互連結構 144 通過半導體核心組件 100 的整個厚度（即從半導體核心組件 100 的第一主要表面 105 到第二主要表面 107）形成，並且具有與半導體核心組件 100 的總厚度相對應的縱向長度。在另一個實施例中，電氣互連結構 144 可以從半導體核心組件 100 的主要表面（例如圖 1A 中描繪的主要表面 105、107）突出。一般來說，電氣互連結構可以具有約 50 微米與約 1000 微米之間的縱向長度，例如約 200 微米與約 800 微米之間的縱向長度。在一個例子中，電氣互連結構 144 的縱向長度介於約 400 微米與約 600 微米之間，例如縱向長度為約 500 微米。電氣互連結構 144 可以由積體電路、電路板、晶片載體等領域中使用的任何導電材料形成。例如，電氣互連結構 144 是由金屬材料形成的，如銅、鋁、金、鎳、銀、鈮、錫等。

【0047】 在某些實施例中，電氣互連結構 144 的橫向厚度等於其中形成有該等電氣互連結構的貫通組件的導孔 113 的直徑 V_2 。在某些實施例中，半導體核心組件 100 進一步包括形成在其上的黏著層 140 和 / 或種子層 142，用於電氣互連結構 144 的電氣隔離，如圖 1D 所示。在某些實施例中，黏著層 140 形成在與電氣互連結構 144 相鄰的絕緣層 118 的表面上，包括貫通組件的導孔 113 的側壁。因此，如圖 1C 中所描繪，電氣互連結構 144 的橫向厚度小於其中形成有該等電氣互連結構的貫通組件的導

孔 113 的直徑 V_2 。在又另一個實施例中，電氣互連結構 144 只覆蓋貫通組件的導孔 113 的側壁表面，因此可以具有通過其中的空心核心。

【0048】黏著層 140 可以由任何合適的材料形成，包括但不限於鈦、氮化鈦、鉭、氮化鉭、錳、氧化錳、鉬、氧化鉬、氮化鉬等。在某些實施例中，黏著層 140 的厚度介於約 10 奈米與約 300 奈米之間，如約 50 奈米與約 150 奈米之間。例如，黏著層 140 的厚度介於約 75 奈米與約 125 奈米之間，例如約 100 奈米。

【0049】可選的種子層 142 包括導電材料，包括但不限於銅、鎢、鋁、銀、金或任何其他合適的材料或其組合。種子層 142 可以形成在黏著層 140 上或直接形成在貫通組件的導孔 113 的側壁上（例如形成在絕緣層 118 上，中間沒有黏著層）。在某些實施例中，種子層 142 的厚度介於約 50 奈米與約 500 奈米之間，如約 100 奈米與約 300 奈米之間。例如，種子層 142 的厚度介於約 150 奈米與約 250 奈米之間，例如約 200 奈米。

【0050】在某些實施例中，半導體核心組件 100 進一步包括形成在半導體核心組件 100 的第一側 175 和 / 或第二側 177 的一個或多個再分佈層 150。在某些實施例中，再分佈層 150 是由與絕緣層 118 實質相同的材料形成的（例如基於聚合物的介電質材料），並因此形成其延伸部分。在其他實施例中，再分佈層 150 是由不同於絕緣層 118 的材料形成的。例如，再分佈層 150 可以由可光定義

(photodefinable) 的聚醯亞胺材料、非光敏聚醯亞胺、聚苯并噁唑 (PBO)、苯并環丁烯 (BCB)、二氧化矽和/或氮化矽形成。在另一個例子中，再分佈層 150 是由不同於絕緣層 118 的無機介電質材料形成的。在又另一個例子中，一個或多個最外側的再分佈層 150 包括焊料層，在這個焊料層上可以附接加勁框架 110 (下文論述))。在某些實施例中，再分佈層 150 的厚度介於每個約 5 微米與約 50 微米之間，例如厚度介於每個約 10 微米與約 40 微米之間。例如，再分佈層 150 的厚度介於每個約 20 微米與約 30 微米之間，例如每個約 25 微米。

【0051】再分佈層 150 可以包括通過再分佈導孔 153 形成的一個或多個垂直再分佈連接件 154，以及橫向再分佈連接件 156，用於將電氣互連結構 144 的接觸點重新定位到半導體核心組件 100 的表面 (如主要表面 105、107) 上的期望位置。在一些實施例中，再分佈層 150 可以進一步包括形成在主要表面 105、107 上的一個或多個外部電連接 (未示出)，如球柵陣列或焊球。一般來說，再分佈導孔 153 和垂直再分佈連接件 154 相對於貫通組件的導孔 113 和電氣互連結構 144 分別具有實質相似或更小的橫向尺寸。例如，再分佈導孔 153 的直徑 V_3 介於約 2 微米與約 50 微米之間，例如直徑 V_3 介於約 10 微米與約 40 微米之間，例如直徑 V_3 介於約 20 微米與約 30 微米之間。此外，分佈層 150 可以包括形成在與垂直再分佈連接件 154

和橫向再分佈連接件156相鄰的表面（包括再分佈導孔153的側壁）上的黏著層140和種子層142。

【0052】 在核心基板102包括金屬包覆層114的實施例中，如圖1B，金屬包覆層114進一步與至少一個包覆層連接件116耦合，形成半導體核心組件100的至少一個側面的連接點。在某些實施例中，金屬包覆層114與形成在半導體核心組件100的相對兩側的兩個包覆層連接件116（未示出）耦合。包覆層連接件116可以連接到共同的地線，例如示例性的地線119，該地線由與半導體核心組件100堆疊在一起（例如堆疊在上面或下面）的一個或多個半導體設備使用。或者，包覆層連接件116連接到參考電壓，如電源電壓。如所描繪的，包覆層連接件116形成在絕緣層118中，並將金屬包覆層114連接到包覆層連接件116的連接端，該等連接端設置在半導體核心組件100的表面（例如主要表面107和105）上或該表面處，使得金屬包覆層114可以連接到外部的公共地線或參考電壓（在圖1B中示為與地線119的示例性連接）。

【0053】 金屬包覆層114可以經由包覆層連接件116和任何其他合適的耦合手段與外部地線119電性耦合。例如，包覆層連接件116可以藉由半導體核心組件100的相對兩側的焊料凸塊間接地耦合到外部地線119。在某些實施例中，包覆層連接件116在耦合到外部地線119之前，可以首先通過單獨的電子系統或設備進行路由。利用金屬包覆層114與外部地線119之間的接地途徑，可以減少或

消除互連結構 144 和 / 或再分佈連接件 154、156 之間的干擾，並防止與其耦合的積體電路短路，短路可能會損壞半導體核心組件 100 以及與其整合或堆疊在一起的任何系統或設備。

【0054】 與電氣互連結構 144 和再分佈連接件 154、156 類似，包覆層連接件 116 是由任何合適的導電材料形成的，包括但不限於鎳、銅、鋁、金、鈷、銀、鈮、錫等。包覆層連接件 116 是通過包覆層導孔 123 沉積或電鍍的，這些包覆層導孔與貫通組件的導孔 113 或再分佈導孔 153 實質相似，但只穿越半導體核心組件 100 的一部分（例如從其表面穿越到核心基板 102）。因此，包覆層導孔 123 可以通過絕緣層 118 直接在核心基板 102 的上方或下方形成，該核心基板上形成有金屬包覆層 114。此外，像電氣互連結構 144 和再分佈連接件 154、156 一樣，包覆層連接件 116 可以完全填充包覆層導孔 123，或沿其內周壁排列，從而具有空心的核心。

【0055】 在某些實施例中，包覆層導孔 123 和包覆層連接件 116 的橫向尺寸（例如，分別為直徑和橫向厚度）與直徑 V_2 實質相似。在某些實施例中，黏著層 140 和種子層 142 形成在包覆層導孔 123 上，因此包覆層導孔 123 可以具有與直徑 V_2 實質相似的直徑，而包覆層連接件 116 可以具有小於直徑 V_2 的橫向厚度（例如，如與直徑 V_3 實質相似的橫向厚度）。在某些實施例中，包覆層導孔 123 的直徑為約 5 微米。

【0056】 如圖1A-1C進一步示出，半導體核心組件100包括形成在其第一側175和/或第二側177的加勁框架110。加勁框架110為半導體核心組件100的整體結構提供了額外的剛性，從而減少或消除了在將半導體核心組件100整合到高密度整合設備（例如，半導體封裝、PCB組件、PCB間隔件組件、晶片載體組件、中間載體組件、記憶體堆疊等）的期間核心基板102翹曲或塌陷的風險。因此，將加勁框架110與半導體核心組件100整合在一起，使更薄的核心基板102的利用成為可能，這有利於改進核心基板102兩側的部件之間的訊號完整性和電源輸送。在某些實施例中，加勁框架110也可以為與半導體核心組件100整合在一起的一個或多個半導體裸晶（例如圖1A-1C所示的半導體裸晶120）提供遮蔽效果。

【0057】 一般來說，加勁框架110具有多邊形或圓環形的形狀，並由包括任何合適的基板材料的圖案化基板所形成。在某些實施例中，加勁框架110可以由包括與核心基板102實質相似的材料形成的基板形成，從而匹配其熱膨脹係數（CTE），並減少或消除組裝期間的翹曲風險。例如，加勁框架110可以由III-V族化合物半導體材料、矽（其例如具有約1與約10歐姆-cm之間的電阻率或約100W/mK的導電率）、結晶矽（例如Si<100>或Si<111>）、氧化矽、矽鍺、摻雜或未摻雜的矽、未摻雜的高電阻率矽（例如，具有較低溶解氧含量和約5000與約10000歐姆-釐米之間的電阻率的浮動區矽）、摻雜

或未摻雜的多晶矽、氮化矽、碳化矽（其例如具有約 500 W/mK 的導電率）、石英、玻璃（例如，硼矽酸鹽玻璃）、藍寶石、氧化鋁和/或陶瓷材料所形成。在某些實施例中，加勁框架 110 包括單晶 p 型或 n 型矽。在某些實施例中，加勁框架 110 包括多晶 p 型或 n 型矽。

【0058】 加勁框架 110 的厚度 T_3 介於約 50 微米與約 1500 微米之間，例如厚度 T_3 介於約 100 微米與約 1200 微米之間。例如，加勁框架 110 的厚度 T_3 介於約 200 微米與約 1000 微米之間，例如厚度 T_3 介於約 400 微米與約 800 微米之間，例如厚度 T_3 為約 775 微米。在另一個例子中，加勁框架 110 的厚度 T_3 介於約 100 微米與約 700 微米之間，例如厚度 T_3 介於約 200 微米與約 500 微米之間。在另一個例子中，加勁框架 110 的厚度 T_3 介於約 800 微米與約 1400 微米之間，例如厚度 T_3 介於約 1000 微米與約 1200 微米之間。在又另一個例子中，加勁框架 110 的厚度大於約 1200 微米。

【0059】 加勁框架 110 可以經由任何合適的方法與半導體核心組件 100 附接。例如，如圖 1A-1C 所示，加勁框架 110 可以經由黏著劑 111 與半導體核心組件 100 附接，該黏著劑可以包括層合的黏著劑材料、裸晶附接膜、黏著劑膜、膠水、蠟等。在某些實施例中，黏著劑 111 是一層未固化的介電質材料，其類似於絕緣層 118 的介電質材料，例如具有陶瓷填料的環氧樹脂材料。在某些實施例中，加勁框架 110 與主要表面 105 或 107 上的絕緣層 118

附接（**圖 1 A - 1 B**）。在某些其他的實施例中，加勁框架 110 附接到核心基板 102，例如附接在表面 108 或 106 上，或附接到鈍化層 104 或金屬包覆層 114（**圖 1 C**）。在這樣的實施例中，絕緣層 118 的期望部分可以經由例如雷射燒蝕來移除，以便能夠將加勁框架 110 附接到核心基板 102。

【0060】 如上所述，加勁框架 110 被圖案化成通過其中形成一個或多個開口 117，在某些實施例中，這些開口可以將一個或多個半導體裸晶 120（或其他設備）接收在其中。因此，開口 117 使半導體裸晶 120 能夠直接整合（例如，堆疊）到半導體核心組件 100 的絕緣層 118 或核心基板 102 中的任一者上，而不需要互連結構通過加勁框架 110 進一步延伸。在另一個的實施例中，加勁框架 110 也可以為裸晶 120 提供機械和 / 或電氣遮蔽效果。例如，如 **圖 1 B** 所示，加勁框架 110 可以包括在其上形成並與地線 115 連接的金屬包覆層 112，它可以為設置在開口 117 內的裸晶 120 提供電磁干擾（EMI）遮蔽效果。在這樣的實施例中，金屬包覆層 112 可以包括實質相同的材料，並經由與金屬包覆層 114 實質相似的製程形成。例如，金屬包覆層 112 可以由鎳置換電鍍或其他無電或電解電鍍製程形成。在某些實施例中，加勁框架 110 由高電阻率的矽形成，並作為半導體核心組件 100 的絕緣體。

【0061】 該一個或多個開口 117 可以有任何合適的形態和尺寸，以便在其中容納例如半導體裸晶 120 或其他期

望的設備。例如，在某些實施例中，開口 117 可以有實質四邊形或多邊形的形狀。在某些實施例中，開口 117 可以有實質圓形或不規則的形狀。在某些實施例中，一個或多個開口 117 具有側壁 121，該等側壁實質上是錐形的（即，有角度的）（如圖 1A - 1C 所示）、實質上是垂直的（例如，相對於例如表面 107 正交）。

【0062】 在某些實施例中，一個或多個開口 117 的橫向尺寸 D_1 介於約 0.5 毫米與約 50 毫米之間，例如橫向尺寸 D_1 介於約 3 毫米與約 12 毫米之間，例如橫向尺寸 D_1 介於約 8 毫米與約 11 毫米之間，這可能取決於在封裝或系統製造期間要放置在其中的半導體裸晶 120 或其他設備的尺寸和數量。半導體裸晶 120 一般包括複數個積體電子電路，它們形成在基板材料（例如一塊半導體材料）上和/或內。在某些實施例中，開口 117 的尺寸與要放置在其中的半導體裸晶 120 的橫向尺寸實質相似。例如，每個開口 117 可以被形成為，其橫向尺寸超過半導體裸晶 120 的那些橫向尺寸達小於約 150 微米，如小於約 120 微米，如小於 100 微米。

【0063】 半導體裸晶 120 可以是任何合適的裸晶或晶片類型，包括記憶體裸晶、微處理器、複雜的系統單晶片（SoC）或標準裸晶。合適類型的記憶體裸晶包括 DRAM 裸晶或 NAND 快閃記憶體裸晶。在另一個例子中，半導體裸晶 120 包括數位裸晶、類比裸晶或混合裸晶。一般來說，半導體裸晶 120 可以由與核心基板 102 和/或加勁框

架 110 的材料實質相似的材料形成，例如矽材料。利用由核心基板 102 和 / 或加勁框架 110 的相同或類似材料形成的半導體裸晶 120，有利於它們之間的 CTE 匹配，從而基本上消除了組裝期間的翹曲發生。

【0064】 如圖 1A - 1C 所示，每個半導體裸晶 120 設置在半導體核心組件 100 的其中一個主要表面 105、107 附近，並且其觸點 122 經由焊料凸塊 124 與一個或多個再分佈連接件 154、156 電性耦合。在某些實施例中，觸點 122 和 / 或焊料凸塊 124 是由與互連結構 144 和再分佈連接件 154、156 的材料實質相似的材料形成的。例如，觸點 122 和焊料凸塊 124 可以由導電材料形成，如銅、鎢、鋁、銀、金或任何其他合適的材料或其組合。

【0065】 在某些實施例中，焊料凸塊 124 包括 C4 焊料凸塊。在某些實施例中，焊料凸塊 124 包括 C2（帶焊料帽的銅柱）焊料凸塊。利用 C2 焊料凸塊可以使間距長度能夠減少，並使半導體核心組件 100 的熱和 / 或電氣性質能夠得到改進。焊料凸塊 124 可以藉由任何合適的晶圓凸塊製程形成，包括但不限於電化學沉積（ECD）和電鍍。

【0066】 圖 1E - 1G 說明了依據本揭示內容的某些實施例，薄型半導體核心組件 100 的不同配置的俯視圖。特別是，圖 1E - 1G 說明了加勁框架 110 的不同形態 / 佈置。

【0067】 在圖 1E 中，半導體核心組件 100 包括方圓形（squircular）（例如，具有圓角的矩形）環形加勁框架 110，該加勁框架包圍設置在開口 117 內的半導體裸晶

120，並實質上沿著半導體核心組件100的橫向周邊追蹤。請注意，雖然圖1E中的加勁框架110被示為具有圓角，但倒角或直角的拐角也在考慮之列。

【0068】在圖1F中，形成在半導體核心組件100上的加勁框架110具有不規則的多邊形形狀，以容納不同尺寸的多個半導體裸晶120。單一的開口117形成在加勁框架110中，但形成在每個半導體裸晶120周圍的不同橫向尺寸內。

【0069】在圖1G中，加勁框架110有矩形環狀的形狀，它被跨越半導體核心組件100的表面延伸的一個或多個橫向肋條130劃分開來，從而形成多個開口117以容納多個半導體裸晶120。加勁框架110中的肋條130的形成可以為半導體核心組件100提供額外的機械支撐/剛性。在某些實施例中，肋條130可以以交叉或相交的圖案設置在半導體核心組件100上。請注意，儘管圖1G中的加勁框架110被說明為具有直角拐角的矩形，但其他一般的形狀和/或拐角的類型也在考慮之列。

【0070】如圖1E-1G所示，在某些實施例中，加勁框架110可以具有與半導體核心組件100實質匹配或實質相似的橫向尺寸。因此，在這樣的實施例中，外側橫向尺寸 L_1 和 L_2 在半導體核心組件100的外側橫向尺寸的約500微米內，例如約300微米內。在某些實施例中，橫向 L_1 和 L_2 實質上彼此相等。

【0071】 圖2說明了依據本揭示內容的某些實施例，形成半導體核心組件（例如半導體核心組件100）的示例性方法200的流程圖。方法200有多個操作210、220、230、240和250。每個操作將參考圖3-14J進行更詳細的描述。該方法可以包括一個或多個額外的操作，這些操作在任何定義的操作之前、在兩個定義的操作之間或在所有定義的操作之後進行（除非上下文排除了這種可能性）。

【0072】 一般來說，方法200包括以下步驟：在操作210處，將第一基板構造成用作核心基板（例如核心基板102），並將第二基板構造成用作加勁框架（例如加勁框架110），這將進一步參考圖3和4A-4D進行更詳細的描述。在操作220處，在核心基板上形成絕緣層，這將進一步參考圖5、6A-6I、7和8A-8E進行更詳細的描述。在操作230處，通過核心基板和絕緣層形成一個或多個互連結構，這將進一步參考圖9和10A-10H進行更詳細的描述。在操作240處，在絕緣層上形成一個或多個再分佈層，以將互連結構的接觸點重新定位到組裝好的核心組件的表面上的期望位置，這將進一步參考圖11和12A-12L進行更詳細的描述。在操作250處，將加勁框架與組裝好的核心組件附接，這將進一步參考圖13和14A-14J進行更詳細的描述。

【0073】 圖3說明了依據本揭示內容的某些實施例，用於構造基板400的代表性方法300的流程圖。方法300可以用於圖案化核心基板和加勁框架兩者，如上面參考方法

200的操作210所描述。圖4A-4D示意性地說明了依據本揭示內容的某些實施例，在圖3中所代表的基板構造製程300的各種階段的基板400的橫截面圖。為了明確起見，圖3和圖4A-4D在本文被一起描述。

【0074】 方法300從操作310和對應的圖4A開始。如上文參考核心基板102和/或加勁框架110所描述的，基板400由任何合適的基板材料形成，包括但不限於III-V族化合物半導體材料、矽、結晶矽（例如， $\text{Si}\langle 100 \rangle$ 或 $\text{Si}\langle 111 \rangle$ ）、氧化矽、矽鍺、摻雜或未摻雜的矽、未摻雜的高電阻率矽、摻雜或未摻雜的多晶矽、氮化矽、碳化矽、石英、玻璃材料（例如，硼矽酸鹽玻璃）、藍寶石、氧化鋁和/或陶瓷材料。在某些實施例中，基板400是單晶p型或n型矽基板。在某些實施例中，基板400是多晶p型或n型矽基板。在另一個實施例中，基板400是p型或n型矽太陽能基板。

【0075】 基板400可以進一步具有多邊形或圓形的形狀。例如，基板400可以包括實質正方形的矽基板，在有或沒有倒角邊緣的情況下，其橫向尺寸介於約120毫米與約180毫米之間。在另一個例子中，基板400可以包括圓形的含矽晶圓，其直徑介於約20毫米與約700毫米之間，如約100毫米與約500毫米之間，例如約200毫米或約300毫米。除非另有指出，否則本文所述的實施例和例子是在具有約50微米與約1500微米之間的厚度（例如約90微米與約780微米之間的厚度）的基板上進行的。例

如，基板400的厚度介於約100微米與約300微米之間，例如厚度介於約110微米與約200微米之間，例如厚度為約140微米。

【0076】 在操作310之前，基板400可以藉由線鋸、劃線和斷裂、機械磨料鋸或雷射切割來從散裝材料切開和分離。切片通常會導致由其形成的基板表面出現機械缺陷或變形，如刮痕、微裂縫、剝離和其他機械缺陷。因此，在操作310處，將基板400暴露於第一損傷移除製程，以使其表面平滑和平面化，並移除機械缺陷，為以後的構造操作做準備。在一些實施例中，基板400可以藉由調整第一損傷製程的製程參數進一步減薄。例如，基板400的厚度可以隨著對第一損傷移除製程的暴露增加而減少。

【0077】 操作310處的第一損傷移除製程包括將基板400暴露於基板拋光製程和/或蝕刻製程，然後是沖洗和乾燥製程。在一些實施例中，操作310包括化學機械拋光（CMP）製程。在某些實施例中，蝕刻製程是一種濕式蝕刻製程，包括緩衝蝕刻製程，該製程對期望材料（例如，污染物和其他不良化合物）的移除具有選擇性。在其他實施例中，蝕刻製程是利用各向同性的含水蝕刻製程的濕式蝕刻製程。任何合適的濕式蝕刻劑或濕式蝕刻劑組合可以用於濕式蝕刻製程。在某些實施例中，將基板400浸入HF蝕刻水溶液中進行蝕刻。在另一個實施例中，將基板400浸入KOH蝕刻水溶液中進行蝕刻。

【0078】 在一些實施例中，在蝕刻製程期間，蝕刻溶液被加熱到約30攝氏度與約100攝氏度之間的溫度，例如約40攝氏度和90攝氏度之間。例如，將蝕刻液加熱到約70攝氏度的溫度。在另一些實施例中，操作310處的蝕刻製程是乾式蝕刻製程。乾式蝕刻製程的例子包括基於電漿的乾式蝕刻製程。基板400的厚度是藉由控制基板400暴露於蝕刻製程期間利用的蝕刻劑（例如，蝕刻溶液）的時間來調變的。例如，基板400的最終厚度隨著對蝕刻劑的暴露增加而減少。或者，基板400可以在減少對蝕刻劑的暴露的情況下有更大的最終厚度。

【0079】 在操作320處，將現在已平面化和實質上無缺陷的基板400圖案化以在其中形成一個或多個特徵403，例如用於通過核心基板路由互連結構的導孔，和/或用於在核心基板內嵌入半導體裸晶或其他設備的空腔（這將參考圖16進行更詳細的描述），或用於在加勁框架內放置一個或多個半導體裸晶或其他設備的開口。出於說明而非限制的目的，圖4B中的基板400的橫截面中描繪了四個導孔403。

【0080】 一般來說，特徵403可以藉由雷射燒蝕（例如，直接雷射圖案化）來形成。可以利用任何合適的雷射燒蝕系統來形成特徵403。在一些例子中，雷射燒蝕系統利用紅外（IR）雷射源。在一些例子中，雷射源是皮秒紫外（UV）雷射。在其他例子中，雷射是飛秒UV雷射。在另一些例子中，雷射源是飛秒綠色雷射。雷射燒蝕系統

的雷射源產生連續的或脈衝的雷射束，以對基板400進行圖案化。例如，雷射源可以產生脈衝雷射束，其頻率介於5千赫與500千赫之間，例如介於10千赫與約200千赫之間。在一個例子中，雷射源被配置為輸送脈衝雷射束，其波長介於約200奈米與約1200奈米之間，脈衝持續時間介於約10奈秒與約5000奈秒之間，輸出功率介於約10瓦與約100瓦之間。雷射源被配置為在基板400中形成任何期望的特徵圖案，包括上述的導孔、空腔和開口。

【0081】 在一些實施例中，基板400在被圖案化之前可選地與載板（未示出）耦合。可選的載板可以為基板400在其圖案化期間提供機械支撐，並可以防止基板400斷裂。載板可以由任何合適的化學穩定和熱穩定的剛性材料形成，包括但不限於玻璃、陶瓷、金屬等。在一些例子中，載板的厚度介於約1毫米與約10毫米之間，如約2毫米與約5毫米之間。在某些實施例中，載板具有有紋理的表面。在其他實施例中，載板具有拋光或平滑的表面。基板400可以利用任何合適的臨時黏合材料與載板耦合，包括但不限於蠟、膠水或類似的黏合材料。

【0082】 在一些實施例中，對基板400進行圖案化可能會在基板400的表面中造成不需要的機械缺陷，包括剝離、裂縫和/或翹曲。因此，在執行操作320以在基板400中形成特徵403之後，在操作330處，將基板400暴露於與操作310處的第一損傷移除製程實質相似的第二損傷移除和清潔製程，以使基板400的表面平滑並移除不需要

的碎雜物。如上所述，第二損傷移除製程包括將基板 400 暴露於濕式或乾式蝕刻製程，然後對其進行沖洗和乾燥。蝕刻製程進行了預定的持續時間，以使基板 400 的表面平滑，特別是暴露於雷射圖案化操作的表面。在另一個態樣中，蝕刻製程用來移除從圖案化製程殘留在基板 400 上的不需要的碎雜物。

【0083】 在操作 330 處移除基板 400 中的機械缺陷之後，在操作 340 和 **圖 4D** 處，將基板 400 暴露於可選的鈍化或金屬化製程，以在其期望表面（例如基板 400 的所有表面）上生長或沉積鈍化層（例如氧化層 404）或金屬層（例如金屬包覆層 414 或金屬遮蔽層 412）。在某些實施例中，鈍化製程是熱氧化製程。熱氧化製程是在約 800 攝氏度與約 1200 攝氏度之間的溫度下進行的，例如約 850 攝氏度與約 1150 攝氏度之間。例如，熱氧化製程是在約 900 攝氏度與約 1100 攝氏度之間的溫度下進行的，如約 950 攝氏度與約 1050 攝氏度之間的溫度。在某些實施例中，熱氧化製程是一種利用水蒸氣作為氧化劑的濕式氧化製程。在某些實施例中，熱氧化製程是一種利用分子氧作為氧化劑的乾式氧化製程。可以預期，在操作 340 處，可以將基板 400 暴露於任何合適的鈍化製程，以在其上形成氧化層 404 或任何其他合適的鈍化層。所得的氧化層 404 的厚度一般介於約 100 奈米與約 3 微米之間，如約 200 奈米與約 2.5 微米之間。例如，氧化層 404 的厚度介於約 300 奈米與約 2 微米之間，例如約 1.5 微米。

【0084】 另外，金屬化製程可以是任何合適的金屬沉積製程，包括無電沉積製程、電鍍製程、化學氣相沉積製程、蒸發沉積製程和/或原子層沉積製程。在形成金屬包覆層414的例子中，金屬包覆層414的至少一部分包括藉由在基板400（例如n-Si基板或p-Si基板）的表面上進行直接置換或置換電鍍形成的沉積鎳（Ni）層。例如，將基板400暴露於具有包括0.5 M NiSO₄和NH₄OH的組成物的鎳置換鍍液，溫度介於約60攝氏度與約95攝氏度之間，pH值為約11，時間介於約2分鐘與約4分鐘之間。在沒有還原劑的情況下，將矽基板400暴露於載有鎳離子的水電解質，會在基板400的表面處造成局部氧化/還原反應，從而導致在其上鍍覆金屬鎳。因此，鎳置換電鍍能夠利用穩定的溶液在基板400的矽材料上選擇性地形成薄而純的鎳層。此外，該製程是自限制的，因此，一旦基板400的所有表面都被鍍覆（例如，沒有剩餘的矽可以在其上形成鎳），反應就會停止。在某些實施例中，鎳金屬包覆層414可以用作種子層，用於電鍍其他金屬層，如藉由無電和/或電解電鍍方法來電鍍鎳或銅。在另外的實施例中，基板400在鎳置換鍍浴之前暴露於SC-1預清潔溶液和HF氧化物蝕刻溶液，以促進鎳金屬包覆層414對它的黏著。

【0085】 在鈍化或金屬化後，基板400就準備好作為核心基板或加勁框架利用，以形成核心組件，如半導體核心組件100。

【0086】圖5和7分別說明了依據本揭示內容的某些實施例，用於在核心基板602上形成絕緣層618的代表性方法500和700的流程圖。核心基板602可能已經經由上述方法300進行了先前的結構化。依據本揭示內容的某些實施例，圖6A-6I示意性地說明了在圖5中所描繪的方法500的不同階段的核心基板602的橫截面圖，圖8A-8E示意性地說明了在圖7中所描繪的方法700的不同階段的核心基板602的橫截面圖。為了明確起見，圖5和圖6A-6I在本文一起描述，類似地，圖7和圖8A-8E在本文一起描述。

【0087】一般來說，方法500從操作502和圖6A開始，其中將核心基板602在第一側675的第一表面606（現在具有形成在其中的導孔603和形成在其上的氧化層604）放置在第一絕緣膜616a上並黏在上面。在某些實施例中，第一絕緣膜616a包括由基於聚合物的介電質材料形成的一個或多個層。例如，第一絕緣膜616a包括由可流動的堆積材料形成的一個或多個層。在某些實施例中，第一絕緣膜616a包括可流動的環氧樹脂層618a。一般來說，環氧樹脂層618a的厚度小於約60微米，例如介於約5微米與約50微米之間。例如，環氧樹脂層618a的厚度介於約10微米與約25微米之間。

【0088】環氧樹脂層618a可以由含陶瓷填料的環氧樹脂形成，例如填充有（例如含有）二氧化矽（ SiO_2 ）顆粒的環氧樹脂。可以用於形成絕緣膜616a的環氧樹脂層

618a和其他層的陶瓷填料的其他例子包括氮化鋁

(AlN)、氧化鋁(Al_2O_3)、碳化矽(SiC)、氮化矽(Si_3N_4)、 $\text{Sr}_2\text{Ce}_2\text{Ti}_5\text{O}_{16}$ 、矽酸鋯(ZrSiO_4)、矽灰石(CaSiO_3)、氧化鈹(BeO)、二氧化鈾(CeO_2)、氮化硼(BN)、鈣銅鈦酸($\text{CaCu}_3\text{Ti}_4\text{O}_{12}$)、氧化鎂(MgO)、二氧化鈦(TiO_2)、氧化鋅(ZnO)等。在一些例子中，用於形成環氧樹脂層618a的陶瓷填料的顆粒尺寸介於約40奈米與約1.5微米之間，如約80奈米與約1微米之間。例如，用於形成環氧樹脂層618a的陶瓷填料的顆粒尺寸介於約200奈米與約800奈米之間，如約300奈米與約600奈米之間。

【0089】 在一些實施例中，第一絕緣膜616a進一步包括一個或多個保護層。例如，第一絕緣膜616a包括聚對苯二甲酸乙二醇酯(PET)保護層622a，例如雙軸PET保護層622a。然而，可以考慮任何合適數量的層和材料以及任何合適的層和材料的組合用於第一絕緣膜616a。在一些實施例中，整個絕緣膜616a的厚度小於約120微米，例如厚度小於約90微米。

【0090】 在一些實施例中，在將核心基板602黏到第一絕緣膜616a之後，核心基板602可以接著被放置在與其第一側675相鄰的載體624上，以便在以後的處理操作期間進行額外的機械穩定。一般來說，載體624是由任何合適的機械穩定和熱穩定的材料形成的，能夠承受超過100攝氏度的溫度。例如，在某些實施例中，載體624包括聚

四氟乙烯（PTFE）。在另一個例子中，載體624是由聚對苯二甲酸乙二醇酯（PET）形成。

【0091】 在操作504和圖6B處，將第一保護膜660黏到核心基板602的第二側677的第二表面608。保護膜660在第二側677和第一絕緣膜616a的對面與核心基板602耦合，使得它覆蓋導孔603。在某些實施例中，保護膜660是由與保護層622a的材料相似的材料形成的。例如，保護膜660是由PET形成的，如雙軸PET。然而，保護膜660可以由任何合適的保護材料形成。在一些實施例中，保護膜660的厚度介於約50微米與約150微米之間。

【0092】 在操作506處，將現在第一側675黏到絕緣膜616a而第二側677黏到保護膜660的核心基板602暴露於第一層合製程。在層合製程中，核心基板602暴露於升高的溫度，導致絕緣膜616a的環氧樹脂層618a軟化並流入絕緣膜616a與保護膜660之間的開放空隙或容積，例如流入導孔603。因此，導孔603變得至少部分地被環氧樹脂層618a的絕緣材料填充（例如，佔據），如圖6C中的描繪。此外，核心基板602變得部分地被環氧樹脂層618a的絕緣材料包圍。

【0093】 在核心基板602具有形成於其中的空腔的實施例中（示於圖16），半導體裸晶可以在操作506之前被放置在空腔內。然後，在操作506處，在環氧樹脂層618a的層合之後，空腔也變得部分地被環氧樹脂層618a填充，從而部分地將半導體裸晶嵌入空腔內。

【0094】 在某些實施例中，層合製程是真空層合製程，可以在熱壓器或其他合適的設備中執行。在某些實施例中，層合製程是藉由使用熱壓製程執行的。在某些實施例中，層合製程是在約80攝氏度與約140攝氏度之間的溫度下執行的，時間介於約1分鐘與約30分鐘之間。在一些實施例中，層合製程包括施加約1 psig與約150 psig之間的壓力，同時將約80攝氏度與約140攝氏度之間的溫度施加到核心基板602和絕緣膜616a，時間介於約1分鐘與約30分鐘之間。例如，層合製程是藉由在約2分鐘與10分鐘之間的時間內施加約10 psig與約100 psig之間的壓力以及約100攝氏度與約120攝氏度之間的溫度來執行的。例如，層合製程是在約110攝氏度的溫度下執行的，時間為約5分鐘。

【0095】 在操作508處，移除保護膜660，將核心基板602（現在環氧樹脂層618a的層合絕緣材料至少部分地包圍核心基板602並部分地填充導孔603）放置在第二保護膜662上。如圖6D中所描繪，第二保護膜662在第一側675附近與核心基板602耦合，使得第二保護膜662與絕緣膜616a的保護層622a相抵（例如，相鄰）設置。在一些實施例中，現在與保護膜662耦合的核心基板602可以可選地放置在載體624上，以便在第一側675提供額外的機械支撐。在一些實施例中，在將保護膜662與核心基板602耦合之前，將保護膜662放置在載體624上。一般來說，保護膜662的組成物與保護膜660實質相似。例

如，保護膜 662 可以由 PET 形成，例如雙軸 PET。然而，保護膜 662 可以由任何合適的保護材料形成。在一些實施例中，保護膜 662 的厚度介於約 50 微米與約 150 微米之間。

【0096】 在將核心基板 602 與第二保護膜 662 耦合後，在操作 510 和圖 6E 處，將與第一絕緣膜 616a 實質相似的第二絕緣膜 616b 放置在第二側 677 之上，從而取代保護膜 660。在某些實施例中，第二絕緣膜 616b 被定位在核心基板 602 的第二側 677 上，使得第二絕緣膜 616b 的環氧樹脂層 618b 覆蓋導孔 603。在某些實施例中，將第二絕緣膜 616b 放置在核心基板 602 上可以在絕緣膜 616b 與環氧樹脂層 618a 的已層合的絕緣材料之間形成一個或多個空隙，這些空隙部分地包圍核心基板 602 並部分地填充導孔 603。第二絕緣膜 616b 可以包括由類似於絕緣膜 616a 的基於聚合物的介電質材料形成的一個或多個層。如圖 6E 中所描繪，第二絕緣膜 616b 包括與上述環氧樹脂層 618a 實質類似的環氧樹脂層 618b。第二絕緣膜 616b 可以進一步包括由與保護層 622a 類似的材料（例如 PET）形成的保護層 622b。

【0097】 在操作 512 處，將第三保護膜 664 放置在第二絕緣膜 616b 之上，如圖 6F 中的描繪。一般來說，保護膜 664 的組成物與保護膜 660、662 實質相似。例如，保護膜 664 是由 PET 形成的，例如雙軸 PET。然而，保護膜

664可以由任何合適的保護材料形成。在一些實施例中，保護膜664的厚度介於約50微米與約150微米之間。

【0098】 在操作514和圖6G處，將現在第二側677黏到絕緣膜616b和保護膜664以及第一側675黏到保護膜662和可選的載體624的核心基板602暴露於第二層合製程。與操作504處的層合製程類似，核心基板602暴露於升高的溫度，導致絕緣膜616b的環氧樹脂層618b軟化並流入絕緣膜616b與環氧樹脂層618a的已層合絕緣材料之間的任何開放的空隙或容積，從而使自身與環氧樹脂層618a的絕緣材料整合在一起。因此，導孔603變得被兩個環氧樹脂層618a、618b的絕緣材料完全填充（例如包裝、密封）。

【0099】 在核心基板602具有形成於其中的空腔的實施例中（示於圖16），半導體裸晶可以在操作506之前被放置在空腔內。然後，在操作506和514處的環氧樹脂層618a的層合之後，空腔變得被環氧樹脂層618a填充，從而將半導體裸晶嵌入空腔內。

【0100】 在某些實施例中，第二層合製程是真空層合製程，可以在熱壓器或其他合適的設備中執行。在某些實施例中，層合製程是藉由使用熱壓製程執行的。在某些實施例中，層合製程是在約80攝氏度與約140攝氏度之間的溫度下執行的，時間介於約1分鐘與約30分鐘之間。在一些實施例中，層合製程包括施加約1 psig與約150 psig之間的壓力，同時將約80攝氏度與約140攝氏度之間的

溫度施加到核心基板 602 和絕緣膜 616a，時間介於約 1 分鐘與約 30 分鐘之間。例如，層合製程是藉由在約 2 分鐘與 10 分鐘之間的時間內施加約 10 psig 與約 100 psig 之間的壓力以及約 100 攝氏度與約 120 攝氏度之間的溫度來執行的。例如，層合製程是在約 110 攝氏度的溫度下執行的，時間為約 5 分鐘。

【0101】 在層合之後，核心基板 602 在操作 516 處從載體 624 脫離，保護膜 662、664 被移除，從而得到層合的中間核心組件 612。如圖 6H 中所描繪，中間核心組件 612 包括核心基板 602，該核心基板具有通過其中形成的一個或多個導孔 603，這些導孔被絕緣膜 616a、616b 的絕緣介電質材料填充。環氧樹脂層 618a、618b 的絕緣介電質材料可以進一步包裹核心基板 602（其上可以形成有氧化層或金屬層），使得絕緣材料覆蓋核心基板 602 的至少兩個表面或側面（例如，表面 606、608）。在一些例子中，保護層 622a、622b 也在操作 516 處從中間核心組件 612 移除。一般來說，保護層 622a 和 622b、載體 624 以及保護膜 662 和 664 是藉由任何合適的機械製程從中間核心組件 612 移除的，例如從其上剝離。

【0102】 在移除保護層 622a、622b 和保護膜 662、664 後，將中間核心組件 612 暴露於固化製程，使環氧樹脂層 618a、618b 的絕緣介電質材料完全固化（即，通過化學反應和交聯硬化），從而形成絕緣層 618。如所示，絕緣層 618 實質上包圍著核心基板 602，並填充了導孔

603。例如，絕緣層618至少接觸或包覆核心基板602的主要橫向表面（如表面606、608）。

【0103】 在某些實施例中，固化製程是在高溫下執行的，以完全固化中間核心組件612。例如，固化製程是在約140攝氏度與約220攝氏度之間的溫度下執行的，時間介於約15分鐘與約45分鐘之間，例如，溫度介於約160攝氏度與約200攝氏度之間，時間介於約25分鐘與約35分鐘之間。例如，固化製程是在約180攝氏度的溫度下執行的，時間為約30分鐘。在另外的實施例中，操作516處的固化製程是在環境（例如，大氣）壓力條件下或接近環境壓力的條件下執行的。

【0104】 固化後，在操作518處，通過中間核心組件612鑽出一個或多個貫通組件的導孔613，從而形成通過中間核心組件612的整個厚度的通道，以便隨後形成互連結構。在一些實施例中，中間核心組件612可以被放置在載體上，例如載體624，以便在形成貫通組件的導孔613期間提供機械支撐。貫通組件的導孔613是通過在核心基板602中形成並隨後被絕緣層618填充的導孔603鑽出的。因此，貫通組件的導孔613可以被填充在導孔603內的絕緣層618周向包圍。

【0105】 藉由讓絕緣層618的含陶瓷填料的環氧樹脂材料沿著導孔603的壁排列，與利用傳統的導孔絕緣襯墊或膜的其他傳統互連結構相比，單分的（singulated）半導體核心組件1270（這將參考圖10G和11以及圖12K

和 12L 來描述) 中導電矽基核心基板 602 與隨後形成的互連結構 1044 (這將參考圖 9 和圖 10A - 10H 來描述) 之間的電容耦合被大大降低。此外，絕緣層 618 的環氧樹脂材料的可流動本質使封裝和絕緣能夠更加一致和可靠，從而藉由最大限度地減少完成的半導體核心組件 1270 的漏電電流來提高電氣性能。

【0106】 在某些實施例中，貫通組件的導孔 613 的直徑小於約 100 微米，例如小於約 75 微米。例如，貫通組件的導孔 613 的直徑小於約 50 微米，例如小於約 35 微米。在一些實施例中，貫通組件的導孔 613 的直徑介於約 25 微米與約 50 微米之間，例如直徑介於約 35 微米與 40 微米之間。在某些實施例中，貫通組件的導孔 613 是使用任何合適的機械製程形成的。例如，貫通組件的導孔 613 是用機械鑽孔製程形成的。在某些實施例中，貫通組件的導孔 613 是藉由雷射燒蝕通過中間核心組件 612 形成的。例如，貫通組件的導孔 613 是使用紫外雷射形成的。在某些實施例中，用於雷射燒蝕的雷射源的頻率介於約 5 千赫與約 500 千赫之間。在某些實施例中，雷射源被配置為輸送脈衝雷射束，脈衝持續時間介於約 10 奈秒與約 100 奈秒之間，脈衝能量介於約 50 微焦耳 (μJ) 與約 500 微焦耳之間。利用含有小的陶瓷填料顆粒的環氧樹脂材料，可以進一步促進對小直徑導孔 (如貫通組件的導孔 613) 進行更精確和準確的雷射圖案化，因為其中的小陶瓷填料顆粒表現出減少的雷射光的反射、散射、繞射，以及減少在雷

射燒蝕製程期間將雷射光遠離要在其中形成導孔的區域傳輸。

【0107】 在一些實施例中，貫通組件的導孔613在導孔603內（例如通過導孔603）形成，使得導孔603的側壁上剩餘的含陶瓷填料的環氧樹脂材料（例如，介電質絕緣材料）的平均厚度介於約1微米與約50微米之間。例如，導孔603的側壁上剩餘的含陶瓷填料的環氧樹脂材料的平均厚度介於約5微米與約40微米之間，如約10微米與約30微米之間。因此，在形成貫通組件的導孔613之後所得的結構可以被描述為「孔中孔」（例如，在核心結構的導孔內的介電質材料的中心形成的導孔）。在某些實施例中，孔中孔結構包括由陶瓷顆粒填充的環氧樹脂材料組成並設置在形成於導孔603的側壁上的熱氧化薄層上的介電質側壁鈍化。

【0108】 在核心基板602上形成金屬包覆層114、414的實施例中，也可以在操作518處形成一個或多個包覆層導孔123，以為包覆層連接件116提供通道（示於圖1B中）。如上所述，包覆層導孔123形成於核心基板102上方和/或下方的絕緣層118中，以使金屬包覆層114、414能夠與包覆層連接件116耦合，使得金屬包覆層114、414可以連接到外部公共地線或參考電壓。在某些實施例中，包覆層導孔123的直徑小於約100微米，例如小於約75微米。例如，包覆層導孔123的直徑小於約50微米，例如小於約35微米。在一些實施例中，包覆層導孔123

的直徑介於約5微米與約25微米之間，例如直徑介於約10微米與20微米之間。

【0109】 在中間核心組件612具有嵌入其中的半導體裸晶的實施例中（示於圖16中），可以在絕緣層618中形成一個或多個額外的貫通組件的導孔613，這些導孔暴露出半導體裸晶的一個或多個觸點，以便隨後進行互連。額外的貫通組件的導孔613可以隨後被金屬化，如下文進一步詳細描述。

【0110】 在形成貫通組件的導孔613和/或包覆層導孔123（示於圖1B中）後，將中間核心組件612暴露於去污製程。在去污製程期間，在形成貫通組件的導孔613和/或包覆層導孔123期間由雷射燒蝕造成的任何不需要的殘留物和/或碎雜物都被從中間核心組件612移除。因此，去污製程為隨後的金屬化清潔了導孔。在某些實施例中，去污製程是濕式去污製程。任何合適的溶劑、蝕刻劑和/或其組合都可以用於濕式去污製程。在一個例子中，可以利用甲醇作為溶劑，利用二水合氯化銅(II)

（ $\text{CuCl}_2 \cdot \text{H}_2\text{O}$ ）作為蝕刻劑。取決於殘留物的厚度，中間核心組件612暴露於濕式去污製程的持續時間可以變化。在另一個實施例中，去污製程是乾式去污製程。例如，去污製程可以用 O_2/CF_4 混合物氣體的電漿去污製程。電漿去污製程可以包括藉由在約60秒與約120秒之間的時間段內施加約700瓦的功率和以約10:1的比例

(例如，100:10 sccm)使 $O_2:CF_4$ 流動來產生電漿。在另外的實施例中，去污製程是濕式和乾式製程的組合。

【0111】 在操作518處的去污製程之後，中間核心組件612已準備好在其中形成互連路徑（例如，金屬化），這將在下面參考圖9和圖10A-10H進行描述。

【0112】 如上所述，圖5和圖6A-6I說明了用於形成中間核心組件612的代表性方法500。圖7和圖8A-8E說明了依據本揭示內容的某些實施例，與方法500實質類似的替代方法700，但操作較少。方法700一般包括五個操作710-750。然而，方法700的操作710、740和750分別與方法500的操作502、516和518實質相似。因此，為了明確/簡潔起見，本文僅描述圖8B、8C和8D中所描繪的操作720、730和740。

【0113】 在將第一絕緣膜616a固定到核心基板602的第一側675的第一表面606後，在操作720和圖8B處，將第二絕緣膜616b與相對側677的第二表面608耦合。在一些實施例中，第二絕緣膜616b被定位在核心基板602的表面608上，使得第二絕緣膜616b的環氧樹脂層618b覆蓋所有導孔603。如圖8B中所描繪，導孔603在絕緣膜616a與616b之間形成一個或多個空隙或間隙。在一些實施例中，第二載體625被黏到第二絕緣膜616b的保護層622b，以便在以後的處理操作期間提供額外的機械支撐。

【0114】 在操作730和圖8C處，將核心基板602（現在其相對兩側黏到絕緣膜616a和616b）暴露於單一的層合製程。在單一層合製程期間，將核心基板602暴露於升高的溫度，導致兩個絕緣膜616a、616b的環氧樹脂層618a和618b軟化，並流入絕緣膜616a、616b之間的導孔603所創建的開放空隙或容積。因此，導孔603變得被環氧樹脂層618a和618b的絕緣材料填充。

【0115】 在核心基板602具有形成於其中的空腔的實施例中（示於圖16），半導體裸晶可以在操作730之前被放置在空腔內。然後，在操作730處對環氧樹脂層618a、618b進行層合後，空腔變得被環氧樹脂層618a、618b填充，從而將半導體裸晶嵌入空腔內。

【0116】 與參考圖5和圖6A-6I描述的層合製程類似，操作730處的層合製程可以是真空層合製程，可以在熱壓器或其他合適的設備中執行。在另一個實施例中，層合製程是藉由使用熱壓製程執行的。在某些實施例中，層合製程是在約80攝氏度與約140攝氏度之間的溫度下執行的，時間介於約1分鐘與約30分鐘之間。在一些實施例中，層合製程包括施加約1 psi與約150 psi之間的壓力，同時將約80攝氏度與約140攝氏度之間的溫度施加到核心基板602和絕緣膜616a、616b，時間介於約1分鐘與約30分鐘之間。例如，層合製程是在約10 psi與約100 psi之間的壓力以及約100攝氏度與約120攝氏度之間的溫度下執行的，時間介於約2分鐘與10分鐘之

間。例如，操作 730 處的層合製程是在約 110 攝氏度的溫度下執行的，時間為約 5 分鐘。

【0117】 在操作 740 處，將絕緣膜 616 a、616 b 的該一個或多個保護層從核心基板 602 移除，從而形成層合的中間核心組件 612。在一個例子中，將保護層 622 a、622 b 從核心基板 602 移除，因此中間核心組件 612 也從第一載體 624 和第二載體 625 脫離。一般來說，保護層 622 a、622 b 和載體 624、625 是藉由任何合適的機械製程來移除的，如從其上剝離。如圖 8D 中所描繪，中間核心組件 612 包括核心基板 602，該核心基板具有在其中形成的一個或多個導孔 603，這些導孔被環氧樹脂層 618 a、618 b 的絕緣介電質材料填充。絕緣材料進一步包裹核心基板 602，使得絕緣材料覆蓋核心基板 602 的至少兩個表面或側面，例如表面 606、608。

【0118】 在移除保護層 622 a、622 b 後，將中間核心組件 612 暴露於固化製程，以完全固化環氧樹脂層 618 a、618 b 的絕緣介電質材料。絕緣材料的固化導致了絕緣層 618 的形成。如圖 8D 中所描繪，並與對應於圖 6H 的操作 516 相似，絕緣層 618 實質上包圍著核心基板 602 並填充導孔 603。

【0119】 在某些實施例中，固化製程是在高溫下執行的，以完全固化中間核心組件 612。例如，固化製程是在約 140 攝氏度與約 220 攝氏度之間的溫度下執行的，時間介於約 15 分鐘與約 45 分鐘之間，例如，溫度介於約 160

攝氏度與約200攝氏度之間，時間介於約25分鐘與約35分鐘之間。例如，固化製程是在約180攝氏度的溫度下執行的，時間為約30分鐘。在另外的實施例中，操作740處的固化製程是在環境（例如，大氣）壓力條件下或接近環境壓力的條件下執行的。

【0120】 在操作740處的固化後，方法700與方法500的操作518實質相似。因此，通過中間核心組件612鑽出了一個或多個貫通組件的導孔613和/或包覆層導孔123（示於**圖1B**中），然後將中間核心組件612暴露於去污製程。在完成去污製程後，中間核心組件612已經準備好在其中形成互連路徑，如下文所述。

【0121】 **圖9**說明了依據本揭示內容的某些實施例，用於通過中間核心組件612形成電氣互連結構的代表性方法900的流程圖。**圖10A-10H**示意性地說明了依據本揭示內容的某些實施例，在**圖9**中所描繪的方法900的製程的不同階段的中間核心組件612的橫截面圖。為了明確起見，**圖9**和**圖10A-10H**在本文被一起描述。

【0122】 在某些實施例中，通過中間核心組件612形成的電氣互連結構是由銅形成的。因此，方法900一般從操作910和**圖10A**處開始，其中具有在其中形成的貫通組件的導孔613的中間核心組件612具有在其上形成的屏障層或黏著層1040和/或種子層1042。**圖10H**中描繪了在中間核心組件612上形成的黏著層1040和種子層1042的放大局部圖，以供參考。黏著層1040可以形成在絕緣

層 618 的期望表面上，例如與中間核心組件 612 的主要表面 1005、1007 以及貫通組件的導孔 613 和 / 或包覆層導孔 123 的側壁相對應的表面，以協助促進黏著並阻止隨後形成的種子層 1042、電氣互連結構 1044 和 / 或包覆層連接件 116（示於 **圖 1B** 中）的擴散。因此，在某些實施例中，黏著層 1040 作為黏著層；在另一個實施例中，黏著層 1040 作為屏障層。然而，在這兩個實施例中，黏著層 1040 將在下文中被描述為「黏著層」。

【0123】 在某些實施例中，黏著層 1040 由鈦、氮化鈦、鉭、氮化鉭、錳、氧化錳、鉬、氧化鈷、氮化鈷或任何其他合適的材料或其組合形成。在某些實施例中，黏著層 1040 的厚度介於約 10 奈米與約 300 奈米之間，如約 50 奈米與約 150 奈米之間。例如，黏著層 1040 的厚度介於約 75 奈米與約 125 奈米之間，例如約 100 奈米。黏著層 1040 是藉由任何合適的沉積製程來形成的，包括但不限於化學氣相沉積（CVD）、物理氣相沉積（PVD）、電漿增強 CVD（PECVD）、原子層沉積（ALD）等。

【0124】 種子層 1042 可以形成在黏著層 1040 上或直接形成在絕緣層 618 上（例如在不形成黏著層 1040 的情況下）。在一些實施例中，種子層 1042 形成在絕緣層 618 的所有表面上，而黏著層 1040 僅形成在絕緣層 618 的期望表面或期望表面部分上。例如，黏著層 1040 可以形成在主要表面 1005、1007 上，而不是在貫通組件的導孔 613 和 / 或包覆層導孔 123（示於 **圖 1B** 中）的側壁上，而

種子層 1042 形成在主要表面 1005、1007 以及導孔的側壁上。種子層 1042 由導電材料形成，如銅、鎢、鋁、銀、金或任何其他合適的材料或其組合。在某些實施例中，種子層 1042 的厚度介於約 0.05 微米與約 0.5 微米之間，例如厚度介於約 0.1 微米與約 0.3 微米之間。例如，種子層 1042 的厚度介於約 0.15 微米與約 0.25 微米之間，例如約 0.2 微米。在某些實施例中，種子層 1042 的厚度介於約 0.1 微米與約 1.5 微米之間。與黏著層 1040 類似，種子層 1042 是由任何合適的沉積製程形成的，例如 CVD、PVD、PECVD、ALD 乾式製程、濕式無電鍍製程等。在某些實施例中，銅種子層 1042 可以形成在中間核心組件 612 上的鉬黏著層 1040 上。鉬黏著層和銅種子層的組合能夠改進與絕緣層 618 的表面的黏著，並在操作 970 處的后續種子層蝕刻製程期間減少導電互連線的底切。

【0125】 在分別與圖 10B 和 10C 對應的操作 920 和 930 處，分別將旋塗/噴塗或乾式抗蝕膜 1050（如光致抗蝕劑）施加到中間核心組件 612 的兩個主要表面 1005、1007，並隨後進行圖案化。在某些實施例中，抗蝕膜 1050 是經由選擇性地暴露於 UV 輻射來圖案化的。在某些實施例中，在形成抗蝕膜 1050 之前，將增黏劑（未示出）施加到中間核心組件 612。增黏劑藉由為抗蝕膜 1050 產生界面黏合層，並藉由移除中間核心組件 612 的表面上的任何水分，改進了抗蝕膜 1050 與中間核心組件 612 的黏著。在一些實施例中，增黏劑是由雙（三甲矽烷基）胺

(bis(trimethylsilyl)amine) 或六甲基二矽氮烷 (hexamethyldisilazane; HMDS) 和丙二醇單甲醚乙酸酯 (propylene glycol monomethyl ether acetate; PGMEA) 形成的。

【0126】 在操作940處，將中間核心組件612暴露於抗蝕膜顯影製程。如圖10D中所描繪，抗蝕膜1050的顯影導致貫通組件的導孔613和/或包覆層導孔123（示於圖1B中）的暴露，這些導孔現在可能有黏著層1040和/或種子層1042形成在其上。在某些實施例中，膜顯影製程是一種濕式製程，例如包括將抗蝕膜1050暴露於溶劑的濕式製程。在某些實施例中，膜顯影製程是利用含水蝕刻製程的濕式蝕刻製程。例如，膜顯影製程是一種濕式蝕刻製程，它利用對期望材料有選擇性的緩衝蝕刻製程。任何合適的濕式溶劑或濕式蝕刻劑組合都可以用於抗蝕膜的顯影製程。

【0127】 在分別與圖10E和10F對應的操作950和960處，電氣互連結構1044通過暴露的貫通組件的導孔613形成，此後，移除抗蝕膜1050。在核心基板102上形成有金屬包覆層114、414的實施例中，在操作950處，包覆層連接件116（示於圖1B中）也通過暴露的包覆層導孔123形成。互連結構1044和/或包覆層連接件116是藉由任何合適的方法形成的，包括電鍍和無電鍍。在某些實施例中，抗蝕膜1050是經由濕式製程移除的。如圖10E和10F中所描繪，電氣互連結構1044可以完全

填充貫通組件的導孔 613（包覆層連接件 116 也可以完全填充包覆層導孔 123）並在抗蝕膜 1050 被移除之後從中間核心組件 612 的表面 1005、1007 突出。在一些實施例中，電氣互連結構 1044 和 / 或包覆層連接件 116 可以只沿著導孔的側壁排列，而沒有完全填充導孔。在某些實施例中，電氣互連結構 1044 和 / 或包覆層連接件 116 是由銅形成的。在其他實施例中，電氣互連結構 1044 和 / 或包覆層連接件 116 可以由任何合適的導電材料形成，包括但不限於鋁、金、鎳、銀、鈮、錫等。

【0128】 在操作 970 和 **圖 10 G** 處，將其中形成有電氣互連結構 1044 和 / 或包覆層連接件 116 的中間核心組件 612 暴露於種子層蝕刻製程，以移除其外表面（例如表面 1005、1007）上暴露的黏著層 1040 和種子層 1042。在一些實施例中，在種子層蝕刻製程之後，形成於互連結構與導孔側壁之間的黏著層 1040 和 / 或種子層 1042 可以保留。在某些實施例中，種子層蝕刻是一種濕式蝕刻製程，包括中間核心組件 612 的沖洗和乾燥。在某些實施例中，種子層蝕刻製程是一種對諸如銅、鎢、鋁、銀或金之類的期望材料有選擇性的緩衝蝕刻製程。在其他實施例中，蝕刻製程是含水蝕刻製程。任何合適的濕式蝕刻劑或濕式蝕刻劑組合都可以用於種子層蝕刻製程。

【0129】 請注意，在其中嵌入有半導體裸晶的中間核心組件 612 的實施例中（示於 **圖 16** 中），可以執行操作

910-970，以在一個或多個貫通組件的導孔內形成導電互連結構，形成半導體裸晶上的觸點。

【0130】 在操作970處的種子層蝕刻製程之後，一個或多個半導體核心組件可以從中間核心組件612中單分出來，並作為全功能的半導體核心組件1270（例如，電子安裝或封裝結構）利用。例如，該一個或多個半導體核心組件可以被單分出來，並作為電路板結構、晶片載體結構、積體電路封裝等利用。或者，中間核心組件612可以有一個或多個再分佈層1260（示於圖12J和12K中）形成在其上，以將電氣互連結構1044的外部接觸點重新路由到最終半導體核心組件的表面上的期望位置。

【0131】 圖11說明了依據本揭示內容的某些實施例，在還未單分成半導體核心組件1270的中間核心組件612上形成再分佈層1260的代表性方法1100的流程圖。圖12A-12K示意性地說明了依據本揭示內容的某些實施例，在圖11中所描繪的方法1100的不同階段的中間核心組件612的橫截面圖。為了明確起見，圖11和圖12A-12K在本文被一起描述。

【0132】 方法1100與上述的方法500、700和900實質相似。一般來說，方法1100從操作1102和圖12A處開始，其中絕緣膜1216被黏到中間核心組件612，此後被層合。絕緣膜1216與絕緣膜616a、616b實質相似。在某些實施例中，如圖12A中所描繪，絕緣膜1216包括環氧樹脂層1218和一個或多個保護層。例如，絕緣膜1216

可以包括保護層 1 2 2 2。任何合適的層和絕緣材料的組合都可以考慮用於絕緣膜 1 2 1 6。在一些實施例中，可選的載體 1 2 2 4 與絕緣膜 1 2 1 6 耦合以增加支撐。在一些實施例中，保護膜（未示出）可以與絕緣膜 1 2 1 6 耦合。

【0 1 3 3】一般來說，環氧樹脂層 1 2 1 8 的厚度小於約 6 0 微米，例如介於約 5 微米與約 5 0 微米之間。例如，環氧樹脂層 1 2 1 8 的厚度介於約 1 0 微米與約 2 5 微米之間。在某些實施例中，環氧樹脂層 1 2 1 8 和 P E T 保護層 1 2 2 2 的組合厚度小於約 1 2 0 微米，例如厚度小於約 9 0 微米。絕緣膜 1 2 1 6，特別是環氧樹脂層 1 2 1 8，被黏到具有暴露的電氣互連結構 1 0 4 4 的中間核心組件 6 1 2 的表面，如主要表面 1 0 0 5。

【0 1 3 4】在放置絕緣膜 1 2 1 6 之後，將中間核心組件 6 1 2 暴露於與就操作 5 0 6、5 1 4 和 7 3 0 描述的層合製程實質相似的層合製程。將中間核心組件 6 1 2 暴露於升高的溫度，以軟化絕緣膜 1 2 1 6 的環氧樹脂層 1 2 1 8，該環氧樹脂層隨後與絕緣層 6 1 8 結合。因此，環氧樹脂層 1 2 1 8 變得與絕緣層 6 1 8 整合在一起並形成其延伸部分，因此下文將描述為單一的絕緣層 6 1 8。環氧樹脂層 1 2 1 8 和絕緣層 6 1 8 的整合進一步導致擴大的絕緣層 6 1 8 包裹著先前暴露的電氣互連結構 1 0 4 4。

【0 1 3 5】在操作 1 1 0 4 和圖 1 2 B 處，將保護層 1 2 2 2 和載體 1 2 2 4 藉由機械手段從中間核心組件 6 1 2 移除，並將中間核心組件 6 1 2 暴露於固化製程，以使新擴大的絕緣層

618 完全硬化。在某些實施例中，固化製程與參考操作 516 和 740 描述的固化製程實質相似。例如，固化製程是在約 140 攝氏度與約 220 攝氏度之間的溫度下執行的，時間介於約 15 分鐘與約 45 分鐘之間。

【0136】 然後，在操作 1106 和圖 12C 處，藉由雷射燒蝕對中間核心組件 612 進行選擇性的圖案化。操作 1106 處的雷射燒蝕製程在新擴大的絕緣層 618 中形成一個或多個再分佈導孔 1253，並暴露出期望的電氣互連結構 1044，以再分佈其接觸點。在某些實施例中，再分佈導孔 1253 的直徑實質上與貫通組件的導孔 613 的直徑相似或更小。例如，再分佈導孔 1253 的直徑介於約 5 微米與約 600 微米之間，如直徑介於約 10 微米與約 50 微米之間，如約 20 微米與約 30 微米之間。在某些實施例中，操作 1106 處的雷射燒蝕製程是利用 CO₂ 雷射執行的。在某些實施例中，操作 1106 處的雷射燒蝕製程是利用 UV 雷射執行的。在另一個實施例中，操作 1106 處的雷射燒蝕製程是利用綠色雷射執行的。在一個例子中，雷射源可以產生脈衝雷射束，其頻率介於約 100 千赫與約 1000 千赫之間。在一個例子中，雷射源被配置為輸送波長介於約 100 奈米與約 2000 奈米之間的脈衝雷射束，脈衝持續時間介於約 10 E - 4 奈秒與約 10 E - 2 奈秒之間，脈衝能量介於約 10 微焦耳與約 300 微焦耳之間。

【0137】 在金屬包覆層 114、414 形成在核心基板 102 上的實施例中（示於圖 1B 中），中間核心組件 612 也可

以在操作 1106 處被圖案化，以形成通過延伸的絕緣層 618 的一個或多個包覆層導孔 123。因此，對於具有一個或多個再分佈層的半導體核心組件，包覆層導孔 123 可以與再分佈導孔 1253 同時形成，而不是在操作 518 或 750 處與貫通組件的導孔 613 一起形成包覆層導孔 123。然而，在某些其他的實施例中，包覆層導孔 123 可以起初在操作 518 或 750 處被圖案化，此後用包覆層連接件 116 進行金屬化，然後在操作 1106 處通過延伸的絕緣層 618 進行延伸或延長。

【0138】 在操作 1108 和圖 12D 處，在絕緣層 618 的一個或多個表面上可選地形成黏著層 1240 和 / 或種子層 1242。在某些實施例中，黏著層 1240 和種子層 1242 分別與黏著層 1040 和種子層 1042 實質相似。例如，黏著層 1240 由鈦、氮化鈦、鉭、氮化鉭、錳、氧化錳、鉬、氧化鈷、氮化鈷或任何其他合適的材料或其組合形成。在某些實施例中，黏著層 1240 的厚度介於約 10 奈米與約 300 奈米之間，如厚度介於約 50 奈米與約 150 奈米之間。例如，黏著層 1240 的厚度介於約 75 奈米與約 125 奈米之間，例如約 100 奈米。黏著層 1240 可以藉由任何合適的沉積製程來形成，包括但不限於 CVD、PVD、PECVD、ALD 等。

【0139】 種子層 1242 由導電材料形成，如銅、鎢、鋁、銀、金或任何其他合適的材料或其組合。在某些實施例中，種子層 1242 的厚度介於約 0.05 微米與約 0.5 微米之

間，例如約0.1微米與約0.3微米之間。例如，種子層1242的厚度介於約0.15微米與約0.25微米之間，例如約0.2微米。與黏著層1240類似，種子層1242可以由任何合適的沉積製程形成，例如CVD、PVD、PECVD、ALD乾式製程、濕式無電鍍製程等。在某些實施例中，在中間核心組件612上形成鉬黏著層1240和銅種子層1242，以減少在操作1122處的後續種子層蝕刻製程期間形成的底切。

【0140】 在分別與圖12E、12F和12G對應的操作1110、1112和1114處，將旋塗/噴塗或乾式抗蝕膜1250（例如光致抗蝕劑）施加在中間核心組件612的種子表面上，並隨後進行圖案化和顯影。在某些實施例中，在放置抗蝕膜1250之前，將增黏劑（未示出）施加到中間核心組件612。抗蝕膜1250的暴露和顯影導致了再分佈導孔1253的打開，並在某些實施例中，導致包覆層導孔123的打開。因此，抗蝕膜1250的圖案化可以藉由選擇性地將抗蝕膜1250的部分暴露於UV輻射，隨後藉由濕式製程（如濕式蝕刻製程）對抗蝕膜1250進行顯影來執行。在某些實施例中，抗蝕膜顯影製程是一種濕式蝕刻製程，它利用對期望材料有選擇性的緩衝蝕刻製程。在其他的實施例中，抗蝕膜顯影製程是利用含水蝕刻製程的濕式蝕刻製程。任何合適的濕式蝕刻劑或濕式蝕刻劑組合都可以用於抗蝕膜的顯影製程。

【0141】 在分別與圖12H和12I對應的操作1116和1118處，再分佈連接件1244通過暴露的再分佈導孔1253形成，此後，移除抗蝕膜1250。在某些實施例中，包覆層連接件116也在操作1116處通過暴露的包覆層導孔123形成。在某些實施例中，抗蝕膜1250是經由濕式製程移除的。如圖12H和12I中所描繪，再分佈連接件1244填充再分佈導孔1253，並在抗蝕膜1250被移除後可以從中間核心組件612的表面突出。在某些實施例中，再分佈連接件1244是由銅形成的。在其他實施例中，再分佈連接件1244是由任何合適的導電材料形成的，包括但不限於鋁、金、鎳、銀、鈮、錫等。可以利用任何合適的方法來形成再分佈連接件1244，包括電鍍和無電沉積。

【0142】 在操作1120和圖12J處，將具有在其上形成的再分佈連接件1244的中間核心組件612暴露於與操作970的製程實質相似的種子層蝕刻製程。在某些實施例中，種子層蝕刻是一種濕式蝕刻製程，包括中間核心組件612的沖洗和乾燥。在某些實施例中，種子層蝕刻製程是一種濕式蝕刻製程，它利用對種子層1242的期望材料有選擇性的緩衝蝕刻製程。在其他實施例中，蝕刻製程是利用含水蝕刻製程的濕式蝕刻製程。任何合適的濕式蝕刻劑或濕式蝕刻劑組合都可以用於種子層蝕刻製程。

【0143】 在操作1120處的種子層蝕刻製程完成後，一個或多個額外的再分佈層1260可以利用上述的順序和製程在中間核心組件612上形成，如圖12L所示。例如，一

個或多個額外的再分佈層 1 2 6 0 可以形成在第一再分佈層 1 2 6 0 和 / 或中間核心組件 6 1 2 的相對表面上，如主要表面 1 0 0 7。在某些實施例中，該一個或多個額外的再分佈層 1 2 6 0 可以由基於聚合物的介電質材料形成，例如可流動的堆積材料，其與第一再分佈層 1 2 6 0 和 / 或絕緣層 6 1 8 的材料不同。例如，在一些實施例中，絕緣層 6 1 8 可以由填充有陶瓷纖維的環氧樹脂形成，而第一再分佈層和 / 或任何額外的再分佈層 1 2 6 0 則由聚醯亞胺、B C B 和 / 或 P B O 形成。或者，在形成期望數量的再分佈層 1 2 6 0 後，在操作 1 1 2 2 和 圖 1 2 K 處，在形成期望數量的再分佈層 1 2 6 0 後，可以從中間核心組件 6 1 2 單分出一個或多個半導體核心組件 1 2 7 0。

【0 1 4 4】 上面參考 圖 1 - 1 2 L 所描述的方法和結構與具有高 I / O 密度和相對較小的垂直尺寸的薄型封裝架構相關，因此促進改進訊號完整性和電源輸送。如前所述，由於其部件之間的 C T E 不匹配，和 / 或用於這種薄型封裝結構的相對較長但狹窄（例如，薄）的基板，在其組裝 / 製造期間可能會發生不需要的基板翹曲和 / 或基板塌陷。因此，在上述封裝結構上形成加勁框架可以減少或消除翹曲的發生，而不會對整個封裝功能性有負面影響。

【0 1 4 5】 圖 1 3 說明了依據本揭示內容的某些實施例，利用例如如上所述的中間核心組件 6 1 2 來形成具有加勁框架 1 4 1 0 的 f c B G A 型封裝結構的代表性方法 1 3 0 0 的流程圖。圖 1 4 A - 1 4 J 示意性地說明了在方法 1 3 0 0 的不同階

段的中間核心組件612的橫截面圖。為了明確起見，**圖13**和**圖14A-14J**在本文被一起描述。

【0146】 請注意，雖然**圖13**和**圖14A-14J**的操作被描述為利用中間核心組件612，但其方法也可以在先前單分的半導體核心組件1270上執行。此外，儘管**圖13**和**圖14A-J**是參考在fcBGA型封裝結構上形成加勁框架來描述的，但下面描述的操作也可以在其他類型的設備上執行，如PCB組件、PCB間隔件組件、晶片載體和中間載體組件（例如用於顯卡）、記憶體堆疊等。

【0147】 方法1300一般從操作1302和**圖14A**開始，其中焊接掩模1466a被施加到中間核心組件612的「前側」或「設備側」表面。例如，焊接掩模1466a被施加到中間核心組件612的主要表面1005。一般來說，焊接掩模1466a的厚度介於約10微米與約100微米之間，例如介於約15微米與約90微米之間。例如，焊接掩模1466a的厚度介於約20微米與約80微米之間。

【0148】 在某些實施例中，焊接掩模1466a是一種熱固性環氧樹脂液體，它通過圖案化的編織網絲印在中間核心組件612的設備側的絕緣層618上。在某些實施例中，焊接掩模1466a是液體光可成像焊接掩模（LPSM）或液體光可成像油墨（LPI），它被絲印或噴塗到中間核心組件612的設備側上。然後，在隨後的操作中，對液體光可成像焊接掩模1466a進行暴露和顯影，以形成期望的圖案。在其他實施例中，焊接掩模1466a是乾膜光可成像

焊接掩模（DFSM），它被真空層合在中間核心組件612的設備側上，然後在後續操作中暴露和顯影。在這樣的實施例中，在焊接掩模1466a中界定圖案後，執行熱固化或紫外固化。

【0149】 在操作1304和圖14B處，將中間核心組件612翻轉過來，並且將第二焊接掩模1466b施加到中間核心組件612的「背側」或「非設備側」表面。例如，焊接掩模1466b被施加到中間核心組件612的主要表面1007。一般來說，焊接掩模1466b與焊接掩模1466a實質相似，然而在某些實施例中，焊接掩模1466b是與焊接掩模1466a不同的類型或材料，選自上述焊接掩模的類型/材料。

【0150】 在操作1306和圖14C處，將中間核心組件612翻轉回去，並對焊接掩模1466a進行圖案化，以在其中形成導孔1403a。導孔1403a在中間核心組件612的設備側暴露出期望的互連結構1044和/或再分佈連接件1244，以將指定訊號路由到正在製造的封裝的外表面。

【0151】 在某些實施例中，焊接掩模1466a可以經由上述方法進行圖案化。在另一些實施例中，焊接掩模1466a是藉由例如雷射燒蝕來圖案化的。在這樣的實施例中，雷射燒蝕圖案化製程可以利用CO₂雷射、UV雷射或綠色雷射執行。例如，雷射源可以產生脈衝雷射束，其頻率介於約100千赫與約1000千赫之間。在一個例子中，雷射源被配置為輸送波長介於約100奈米與約2000

奈米之間的脈衝雷射束，脈衝持續時間介於約 $10\text{E}-4$ 奈秒與約 $10\text{E}-2$ 奈秒之間，脈衝能量介於約 10 微焦耳與約 300 微焦耳之間。

【0152】 在操作 1308 和 圖 14D 處，將中間核心組件 612 再次翻轉過去，並對焊接掩模 1466b 進行圖案化，以在其中形成導孔 1403b。與導孔 1403a 類似，導孔 1403b 在中間核心組件 612 上暴露出期望的互連結構 1044 和 / 或再分佈連接件 1244，以將指定訊號路由到正在製造的封裝的外表面。一般來說，焊接掩模 1466b 可以經由上述任何方法形成，包括雷射燒蝕。

【0153】 在對中間核心組件 612 的兩側進行圖案化後，中間核心組件 612 被傳輸到固化架，在操作 1310 和 圖 14E 處，在該固化架上，將附接有焊接掩模 1466a、1466b 的中間核心組件 612 完全固化。在某些實施例中，固化製程是在約 80 攝氏度與約 200 攝氏度之間的溫度下執行的，時間介於約 10 分鐘與約 80 分鐘之間，例如，溫度介於約 90 攝氏度與約 200 攝氏度之間，時間介於約 20 分鐘與約 70 分鐘之間。例如，固化製程在約 180 攝氏度的溫度下執行，時間為約 30 分鐘，或在約 100 攝氏度的溫度下執行，時間為約 60 分鐘。在另外的實施例中，操作 1310 處的固化製程是在環境（例如，大氣）壓力條件下或接近環境壓力的條件下執行的。

【0154】 在操作 1312 和 圖 14F 處，在中間核心組件 612 的設備側和非設備側兩者上執行電鍍製程，以分別在

中間核心組件 612 的設備側（例如，包括表面 1005 的一側，所示為朝上）和非設備側（例如，包括表面 1007 的一側，所示為朝下）形成導電層 1470a 和 1470b。如圖 14F 所示，電鍍導電層 1470a、1470b 通過設備側的導孔 1403a 和非設備側的導孔 1403b 延伸互連結構 1044 和 / 或再分佈連接件 1244，以促進其與其他設備和 / 或封裝結構的電連接。

【0155】 每個導電層 1470a 和 1470b 是由藉由無電鍍形成的一個或多個金屬層形成的。例如，在某些實施例中，每個導電層 1470a 和 1470b 包括由無電鍍浸金

（ENIG）或無電鍍無電鍍浸金（ENEPiG）形成的覆蓋有薄的金屬和 / 或鈀層的無電鍍電鍍層。然而，其他金屬材料和電鍍技術也在考慮之列，包括軟鐵磁性金屬合金和高導電性純金屬。在某些實施例中，導電層 1470a 和 / 或 1470b 是由銅、鉻、錫、鋁、鎳鉻、不銹鋼、鎢、銀等的一個或多個層形成的。

【0156】 在某些實施例中，每個導電層 1470a 和 / 或 1470b 在中間核心組件 612 的設備側或非設備側具有約 0.2 微米與約 20 微米之間的厚度，例如介於約 1 微米與約 10 微米之間。在導電層 1470a 和 1470b 的電鍍期間，暴露的互連結構 1044 和 / 或再分佈連接件 1244 從中間核心組件 612 進一步向外延伸，並通過焊接掩模 1466a、1466b 延伸，以促進在後續的製造操作中與其他設備進一步耦合。

【0157】 在操作1314和圖14G處，在中間核心組件612的設備側和非設備側兩者上執行銲料預墊層（solder-on-pad；SOP）製程，以分別在中間核心組件612的設備側和非設備側形成焊墊1480a和1480b。例如，在某些實施例中，將焊料施加到導孔1403a、1403b，然後進行回流焊，接著進行平坦化製程，如精壓（coining），以形成焊墊1480a、1480b的實質平坦表面。

【0158】 在操作1316和圖14H處，將黏著劑1490施加到焊接掩模1466a的期望區域/表面（其例如在設備側），加勁框架1410要附接在該等區域/表面上。在某些實施例中，黏著劑1490包括層合的黏著劑材料、裸晶附接膜、黏著劑膜、膠水、蠟等。在某些實施例中，黏著劑1490是一層與絕緣層618的介電質材料類似的介電質材料，例如具有陶瓷填料的環氧樹脂材料。黏著劑1490可以藉由機械軋製、壓製、層合、旋塗、刮刀等方式施加到焊接掩模1466a。

【0159】 然而，在某些實施例中，是將黏著劑1490直接施加到加勁框架1410，然後將其附接到中間核心組件612的焊接掩模1466a，而不是將黏著劑1490施加到焊接掩模1466a。在這樣的實施例中，當使用裸晶附接膜或黏著劑膜作為黏著劑1490時，在加勁框架1410被結構化/圖案化時，該膜可以被修剪成加勁框架1410的橫向尺寸。

【0160】 在將黏著劑1490施加到中間核心組件612上之後，在操作1318和圖14I處，將加勁框架1410附接到黏著劑1490。如所示，加勁框架1410包括一個或多個開口1417，在後續的操作中可以將半導體裸晶附接在其內。為了形成開口1417，在操作1316之前，可以經由上述參考圖3和圖4A-4D所描述的方法對加勁框架1410進行圖案化。

【0161】 在操作1320和圖14J處，將一個或多個半導體裸晶1420經由焊料凸塊1424與通過中間核心組件612的設備側的開口1417暴露的焊墊1480a電性耦合；將球柵陣列（BGA）1440安裝到非設備側的焊墊1480b；以及將中間核心組件612單分成一個或多個電氣功能的fcBGA型封裝設備1400（在圖13和圖14A-14J的操作是在單分的半導體核心組件1270上執行的實施例中，不需要進一步的單分）。在某些實施例中，BGA1440經由電化學沉積來形成，以形成C4型或C2型凸塊。在某些實施例中，半導體裸晶1420經由倒裝晶片裸晶附接製程耦合到焊墊1480a，其中半導體裸晶1420被倒置，其觸點或結合墊1422被連接到焊墊1480a。在某些例子中，觸點1422和焊墊1480a的連接是經由大量回流或熱壓結合（thermo-compression bonding；TCB）完成的。在這樣的例子中，毛細管底部填充（underfill）、不導電糊劑或不導電膜可以在半導體裸晶1420與中間核心組件612之間層合。在某些實施例中，半導體裸晶1420

和 / 或 B G A 1 4 4 0 在加勁框架 1 4 1 0 的附接之前被耦合到中間核心組件 6 1 2，此後中間核心組件 6 1 2 被單分。

【0 1 6 2】 在單分後，每個單分的封裝設備 1 4 0 0 此後可以與其他半導體設備和封裝以各種 2.5 D 和 3 D 佈置和架構（例如同質或異質 3 D 堆疊系統）整合在一起。一般來說，當將加勁框架（例如加勁框架 1 4 1 0）合併到封裝設備 1 4 0 0 中，然後將其整合到更大的堆疊系統中時，封裝設備 1 4 0 0 的翹曲的有益減少進一步延伸到整個系統。也就是說，加強封裝設備 1 4 0 0 的結構完整性，轉而又減少了整個整合系統的翹曲或塌陷的可能性。

【0 1 6 3】 圖 1 5 示意性地說明了依據本文所述的實施例，示例堆疊系統 1 5 0 0 的橫截面側視圖，該系統整合了上面形成有加勁框架 1 4 1 0 的封裝設備 1 4 0 0，從而改進了系統 1 5 0 0 的結構完整性。如所示，除了封裝設備 1 4 0 0，示例系統 1 5 0 0 進一步包括：一個或多個 P C B 1 5 2 0，可以垂直堆疊或並排設置；高頻寬記憶體（H B M）模組 1 5 3 0，在記憶體裸晶與中央處理單元（C P U）核心或邏輯裸晶之間具有大的並行互連密度；以及一個或多個熱交換器 1 5 1 0。在圖 1 5 的例子中，封裝設備 1 4 0 0 的半導體裸晶 1 4 2 0 可以代表圖形處理單元（G P U），它經由通過核心基板 6 0 2 設置的互連結構 1 0 4 4 以及焊料凸塊 1 4 2 4 和 B G A 1 4 4 0 與 H B M 1 5 3 0 電性耦合。封裝設備 1 4 0 0 可以經由例如形成在其非設備側的再分佈連接件 1 2 4 4 和

形成在 P C B 1 5 2 0 上的針腳連接器 1 5 2 2 與 P C B 1 5 2 0 電性連接。

【0164】熱交換器 1 5 1 0（例如散熱器）的整合藉由傳輸由例如半導體裸晶 1 4 2 0、H B M 1 5 3 0 和 / 或矽核心基板 6 0 2 所傳導的熱，改進了封裝設備 1 4 0 0 的散熱和熱特性，從而改進了系統 1 5 0 0 的散熱和熱特性。改進的散熱，轉而又進一步提高了翹曲的可能性。合適類型的熱交換器 1 5 1 0 包括針式散熱器、直式散熱器、擴口式散熱器等，它們可以由任何合適的材料形成，如鋁或銅。在某些實施例中，熱交換器 1 5 1 0 是由擠壓鋁形成的。在某些實施例中，熱交換器 1 5 1 0 直接與整合在系統 1 5 0 0 內的一個或多個半導體裸晶附接，例如半導體裸晶 1 4 2 0 和 H B M 模組 1 5 3 0 的一個或多個裸晶，如圖 1 5 所示。在其他實施例中，熱交換器 1 5 1 0 直接地或經由絕緣層 6 1 8 間接地與核心基板 6 0 2 附接。這種佈置與傳統的 P C B 相比特別有益，因為傳統的 P C B 是由導熱率低的玻璃強化環氧樹脂層合結構形成的，對其來說，添加熱交換器不會有什麼價值。

【0165】圖 1 6 示意性地說明了依據本文所述的實施例，封裝設備 1 4 0 0 的設備配置 1 6 0 0 的橫截面側視圖，該封裝設備除了至少一個半導體裸晶 1 4 2 0 堆疊在其上以外，還具有嵌入在其中的至少一個半導體裸晶 1 6 2 0。半導體裸晶 1 6 2 0 可以是任何合適的裸晶或晶片類型，包括記憶體裸晶、微處理器、複雜的系統單晶片（S o C）或標準裸晶。合適類型的記憶體裸晶包括 D R A M 裸晶或

NAND 快閃記憶體裸晶。在另一個例子中，半導體裸晶 1620 包括數位裸晶、類比裸晶或混合裸晶。一般來說，半導體裸晶 1620 可以由與核心基板 602、半導體裸晶 1402 和 / 或加勁框架 110 的材料實質相似的材料形成，例如矽材料。利用由核心基板 102、半導體裸晶 1420 和 / 或加勁框架 110 的相同或類似材料形成的半導體裸晶 1620，有利於它們之間的 CTE 匹配，從而基本上消除了組裝期間的翹曲發生。

【0166】如圖 16 所示，每個半導體裸晶 1620 被設置在形成於封裝設備 1400 的核心基板 602 中的空腔 1603 內，並藉由絕緣層 618 進一步嵌入其中，使得其所有側面都與絕緣層 618 接觸。空腔 1603 可以藉由上面參考圖 3 和圖 4A - 4D 所描述的方法（例如雷射燒蝕）形成在核心基板 602 中，並且半導體裸晶 1620 可以在絕緣層 618 層合在核心基板 602 上之前，被放置在空腔 1603 中（見上面參考圖 5、圖 6A - 6I、圖 7 和圖 8A - 8E 的描述）。

【0167】在某些實施例中，每個空腔 1603 的橫向尺寸介於約 0.5 毫米與約 50 毫米之間，例如介於約 3 毫米與約 12 毫米之間，例如介於約 8 毫米與約 11 毫米之間，這取決於在設備製造期間嵌入其中的半導體裸晶 1620 的尺寸和數量。在某些實施例中，空腔 1603 的尺寸與嵌入（例如整合）在其中的半導體裸晶 1620 的橫向尺寸實質相似。例如，每個空腔 1603 被形成為，其橫向尺寸超過半導體裸晶 1620 的那些橫向尺寸達小於約 150 微米，如小

於約120微米，如小於100微米。減少空腔1603和嵌入其中的半導體裸晶1620的尺寸變化可以減少此後所需的間隙填充介電質材料（例如，絕緣層618）的量。

【0168】 在絕緣層618的層合之後，貫通組件的導孔613可以形成在絕緣層618中，以暴露半導體裸晶1620的一個或多個觸點1622，並且互連結構1044和/或再分佈連接件1244可以例如通過貫通組件的導孔613進行電鍍，以將半導體裸晶1620與封裝設備1400的表面電性連接（見上面參考圖9和圖10A-10H的描述）（這裡，半導體裸晶1620被電性路由到封裝設備1400的設備側的表面1005）。互連結構1044和/或再分佈連接件1244可以進一步經由例如焊接凸點等與一個或多個設備和/或系統電性耦合。例如，如圖16所示，非設備側的互連結構1044和再分佈連接件1244經由BGA 1440與PCB 1520電性耦合。

【0169】 圖17示意性地說明了依據本文所述的實施例，封裝設備1400的另一個設備配置1700的橫截面側視圖。如圖17所示，蓋體1710被附接到加勁框架1410，並覆蓋堆積在封裝設備1400上並與之電性耦合的半導體裸晶1420。一些傳統的積體電路，如微處理器或GPU，在操作期間會產生大量的熱量，必須將其傳輸出去，以避免設備損壞甚至停機。對於這樣的設備，蓋體1710用作保護蓋以及導熱途徑。此外，蓋體1710為封裝設備1400提供了額外的結構補強，該封裝設備已經包括形成在其上

的加勁框架 1410。因此，與傳統的封裝結構相比，設備配置 1700 有利於改進散熱和熱特性，以及改進結構完整性。

【0170】 一般來說，蓋體 1710 具有多邊形或圓環形的形狀，並由包括任何合適的基板材料的圖案化基板所形成。在某些實施例中，蓋體 1710 可以由包括與加勁框架 1410 和核心基板 602 實質相似的材料 of 的基板形成，從而匹配其熱膨脹係數（CTE），並減少或消除組裝期間設備配置 1700 翹曲的風險。例如，蓋體 1710 可以由 III-V 族化合物半導體材料、矽（其例如具有約 1 與約 10 歐姆-cm 之間的電阻率或約 100 W/mK 的導電率）、結晶矽（例如 Si<100> 或 Si<111>）、氧化矽、矽鍺、摻雜或未摻雜的矽、未摻雜的高電阻率矽（例如，具有較低溶解氧含量和約 5000 與約 10000 歐姆-釐米之間的電阻率的浮動區矽）、摻雜或未摻雜的多晶矽、氮化矽、碳化矽（其例如具有約 500 W/mK 的導電率）、石英、玻璃（例如，硼矽酸鹽玻璃）、藍寶石、氧化鋁和 / 或陶瓷材料所形成。在某些實施例中，蓋體 1710 包括單晶 p 型或 n 型矽。在某些實施例中，蓋體 1710 包括多晶 p 型或 n 型矽。

【0171】 蓋體 1710 的厚度 T_4 介於約 50 微米與約 1500 微米之間，例如厚度 T_4 介於約 100 微米與約 1200 微米之間。例如，蓋體 1710 的厚度 T_4 介於約 200 微米與約 1000 微米之間，例如厚度 T_4 介於約 300 微米與約 775 微米之間，例如厚度 T_4 為約 750 微米或 775 微米。在另一個例子

中，蓋體 1710 的厚度 T_4 介於約 100 微米與約 700 微米之間，例如厚度 T_4 介於約 200 微米與約 500 微米之間。在另一個例子中，蓋體 1710 的厚度 T_4 介於約 800 微米與約 1400 微米之間，例如厚度 T_4 介於約 1000 微米與約 1200 微米之間。在又另一個例子中，蓋體 1710 的厚度 T_4 大於約 1200 微米。

【0172】 蓋體 1710 經由任何合適的方法附接到加勁框架 1410。例如，如圖 17 所示，蓋體 1710 可以經由黏著劑 1790 與加勁框架 1410 附接，該黏著劑可以包括層合的黏著劑材料、裸晶附接膜、黏著劑膜、膠水、蠟等。在某些實施例中，黏著劑 1790 是一層未固化的介電質材料，其類似於絕緣層 618 的介電質材料，例如具有陶瓷填料的環氧樹脂材料。

【0173】 除了附接到加勁框架 1410 外，蓋體 1710 還經由熱界面材料（TIM）層 1792 間接附接到半導體裸晶 1420，以便為半導體裸晶 1420 提供導熱途徑。一般來說，TIM 層 1792 消除了半導體裸晶 1420 與蓋體 1720 之間的空氣間隙或空間，以消除其間界面的空氣間隙或空間（其起到熱絕緣的作用），以最大限度地提高導熱和散熱。在某些實施例中，TIM 層 1792 包括導熱膏、導熱黏著劑（例如膠水）、導熱帶、底部填充材料或灌封化合物。在某些實施例中，TIM 層 1792 是與絕緣層 618 的材料實質相似的可流動介電質材料的薄層，例如帶有氧化鋁或氮化鋁填料的可流動環氧樹脂。

【0174】總而言之，本文所述的方法和設備架構與實施傳統加勁技術的半導體封裝方法和結構（如併入可能會產生不需要的天線效應的金屬加勁層（如虛設銅加勁層）、縫合接地導孔等）相比提供了多種優勢。這樣的優勢包括構建例如倒裝晶片型的BGA封裝結構，在整合（例如嵌入或堆疊）的矽半導體裸晶、矽基板核心以及矽加勁框架之間具有匹配的CTE，從而大大減少或消除了組裝和處理期間的翹曲。利用本文所述的加勁框架，可以進一步能夠用更薄但更寬的封裝基板進行更大的晶片到基板的凸塊-間距縮放，以用於高性能計算（HPC）應用。由於加勁框架可以藉由矽基板構造方法來進行圖案化，加勁框架可以很容易地與目前的封裝組裝方法整合在一起，從而產生成本和時間效率高的緩解翹曲的解決方案。

【0175】雖然上述內容是針對本揭示內容的實施例，但在不偏離其基本範圍的情況下，可以設計出本揭示內容的其他和進一步的實施例，並且其範圍是由後面的請求項決定的。

【符號說明】

【0176】

100：半導體核心組件

101：側壁

102：核心基板

103：貫通基板的導孔

104：鈍化層

1 0 5 : 主 要 表 面
 1 0 6 : 第 二 表 面
 1 0 7 : 主 要 表 面
 1 0 8 : 第 二 表 面
 1 0 9 : 側 壁
 1 1 0 : 加 勁 框 架
 1 1 1 : 黏 著 劑
 1 1 2 : 金 屬 包 覆 層
 1 1 3 : 貫 通 組 件 的 導 孔
 1 1 4 : 金 屬 包 覆 層
 1 1 6 : 包 覆 層 連 接 件
 1 1 7 : 開 口
 1 1 8 : 絕 緣 層
 1 1 9 : 地 線
 1 2 0 : 半 導 體 裸 晶
 1 2 1 : 側 壁
 1 2 2 : 觸 點
 1 2 3 : 包 覆 層 導 孔
 1 2 4 : 焊 料 凸 塊
 1 3 0 : 肋 條
 1 4 0 : 黏 著 層
 1 4 2 : 種 子 層
 1 4 4 : 電 氣 互 連 結 構
 1 5 0 : 再 分 佈 層

1 5 3 : 再 分 佈 導 孔

1 5 4 : 垂 直 再 分 佈 連 接 件

1 5 6 : 橫 向 再 分 佈 連 接 件

1 7 5 : 第 一 側

1 7 7 : 第 二 側

2 0 0 : 方 法

2 1 0 : 操 作

2 2 0 : 操 作

2 3 0 : 操 作

2 4 0 : 操 作

2 5 0 : 操 作

3 0 0 : 方 法

3 1 0 : 操 作

3 2 0 : 操 作

3 3 0 : 操 作

3 4 0 : 操 作

4 0 0 : 基 板

4 0 3 : 特 徵

4 0 4 : 氧 化 層

4 1 2 : 金 屬 遮 蔽 層

4 1 4 : 金 屬 包 覆 層

5 0 0 : 方 法

5 0 2 : 操 作

5 0 4 : 操 作

5 0 6 : 操 作

5 0 8 : 操 作

5 1 0 : 操 作

5 1 2 : 操 作

5 1 4 : 操 作

5 1 6 : 操 作

5 1 8 : 操 作

6 0 2 : 核 心 基 板

6 0 3 : 導 孔

6 0 6 : 第 一 表 面

6 0 8 : 第 二 表 面

6 1 2 : 中 間 核 心 組 件

6 1 3 : 貫 通 組 件 的 導 孔

6 1 8 : 絕 緣 層

6 2 4 : 載 體

6 6 0 : 第 一 保 護 膜

6 6 2 : 第 二 保 護 膜

6 6 4 : 第 三 保 護 膜

6 7 5 : 第 一 側

6 7 7 : 第 二 側

7 0 0 : 方 法

7 1 0 : 操 作

7 2 0 : 操 作

7 3 0 : 操 作

7 4 0 : 操 作

7 5 0 : 操 作

9 0 0 : 方 法

9 1 0 : 操 作

9 2 0 : 操 作

9 3 0 : 操 作

9 4 0 : 操 作

9 5 0 : 操 作

9 6 0 : 操 作

9 7 0 : 操 作

1 0 0 5 : 主 要 表 面

1 0 0 7 : 主 要 表 面

1 0 4 0 : 黏 著 層

1 0 4 2 : 種 子 層

1 0 4 4 : 電 氣 互 連 結 構

1 0 5 0 : 抗 蝕 膜

1 1 0 0 : 方 法

1 1 0 2 : 操 作

1 1 0 4 : 操 作

1 1 0 6 : 操 作

1 1 0 8 : 操 作

1 1 1 0 : 操 作

1 1 1 2 : 操 作

1 1 1 4 : 操 作

1 1 1 6 : 操 作

1 1 1 8 : 操 作

1 1 2 0 : 操 作

1 1 2 2 : 操 作

1 2 1 6 : 絕 緣 膜

1 2 1 8 : 環 氧 樹 脂 層

1 2 2 2 : 保 護 層

1 2 2 4 : 載 體

1 2 4 0 : 黏 著 層

1 2 4 2 : 種 子 層

1 2 4 4 : 再 分 佈 連 接 件

1 2 5 0 : 抗 蝕 膜

1 2 5 3 : 再 分 佈 導 孔

1 2 7 0 : 半 導 體 核 心 組 件

1 3 0 0 : 方 法

1 3 0 2 : 操 作

1 3 0 4 : 操 作

1 3 0 6 : 操 作

1 3 0 8 : 操 作

1 3 1 0 : 操 作

1 3 1 2 : 操 作

1 3 1 4 : 操 作

1 3 1 6 : 操 作

1 3 1 8 : 操 作

1 3 2 0 : 操 作
 1 4 0 0 : 封 裝 設 備
 1 4 1 0 : 加 勁 框 架
 1 4 1 7 : 開 口
 1 4 2 0 : 半 導 體 裸 晶
 1 4 2 2 : 觸 點
 1 4 2 4 : 焊 料 凸 塊
 1 4 4 0 : B G A
 1 4 9 0 : 黏 著 劑
 1 5 0 0 : 堆 疊 系 統
 1 5 1 0 : 熱 交 換 器
 1 5 2 0 : P C B
 1 5 2 2 : 針 腳 連 接 器
 1 6 0 0 : 設 備 配 置
 1 6 0 3 : 空 腔
 1 6 2 0 : 半 導 體 裸 晶
 1 6 2 2 : 觸 點
 1 7 0 0 : 設 備 配 置
 1 7 1 0 : 蓋 體
 1 7 9 0 : 黏 著 劑
 1 7 9 2 : 熱 界 面 材 料 (T I M) 層
 1 4 0 3 a : 導 孔
 1 4 0 3 b : 導 孔
 1 4 6 6 a : 焊 接 掩 模

1 4 6 6 b : 焊 接 掩 模

1 4 7 0 a : 導 電 層

1 4 7 0 b : 導 電 層

1 4 8 0 a : 焊 墊

1 4 8 0 b : 焊 墊

6 1 6 a : 第 一 絕 緣 膜

6 1 6 b : 第 二 絕 緣 膜

6 1 8 a : 環 氧 樹 脂 層

6 1 8 b : 環 氧 樹 脂 層

6 2 2 a : 保 護 層

6 2 2 b : 保 護 層

D_1 : 橫 向 尺 寸

L_1 : 外 側 橫 向 尺 寸

L_2 : 外 側 橫 向 尺 寸

P_1 : 間 距

T_1 : 厚 度

T_2 : 厚 度

T_3 : 厚 度

T_4 : 厚 度

V_1 : 直 徑

V_2 : 直 徑

V_3 : 直 徑

【生物材料寄存】

【 0 1 7 7 】 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

【 0 1 7 8 】 國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項1】 一種半導體設備組件，包括：

一矽芯，包括：

一第一側，與一第二側相對，

其中該矽芯具有從該第一側通過該矽芯到該第二側的一導孔；

一氧化物層，位於該第一側和該第二側；以及

一個或多個導電互連結構，通過該導孔，並且具有在該第一側和該第二側處暴露的一表面；

一絕緣層，位於該第一側和該第二側的該氧化物層上方和該導孔內；

一第一再分佈層，位於該第一側；以及

一矽加勁框架，位於該第一側的該絕緣層和該第一再分佈層上方，該加勁框架的一外表面實質上沿著該半導體設備組件的一周邊設置。

【請求項2】 如請求項1所述的半導體設備組件，其中該矽加勁框架是由與該矽芯實質相同的材料所形成的。

【請求項3】 如請求項1所述的半導體設備組件，其中該矽加勁框架具有一熱膨脹係數（CTE），與該矽芯的一CTE實質匹配。

【請求項4】 如請求項1所述的半導體設備組件，其中該矽加勁框架中形成有一開口。

【請求項5】 如請求項4所述的半導體設備組件，其中該半導體設備組件進一步包括設置在該矽加勁框架的該開口內的一第一半導體裸晶。

【請求項6】 如請求項5所述的半導體設備組件，其中該第一半導體裸晶藉由倒裝晶片附接與該再分佈層的一個或多個觸點電性耦合。

【請求項7】 如請求項5所述的半導體設備組件，其中該矽加勁框架具有一熱膨脹係數（CTE），與該矽芯的一CTE和該第一半導體裸晶的一CTE實質匹配。

【請求項8】 如請求項5所述的半導體設備組件，進一步包括：一第二半導體裸晶，藉由一球柵陣列（BGA）在該半導體設備組件的該第二側與一個或多個電觸點電性耦合。

【請求項9】 如請求項1所述的半導體設備組件，其中該矽芯的一厚度小於約200微米，並且其中該加勁框架的一厚度大於約500微米。

【請求項10】 如請求項1所述的半導體設備組件，其中該矽加勁框架具有形成在該矽加勁框架的一個或多個表面上方的一金屬層。

【請求項11】 如請求項10所述的半導體設備組件，其中該金屬層包括鎳。

【請求項12】 如請求項1所述的半導體設備組件，進一步包括：一半導體裸晶，設置在該矽芯的一空腔內，並

且嵌入在該絕緣層內，其中該半導體裸晶的6個或更多個表面與該絕緣層接觸。

【請求項13】一種半導體設備組件，包括：

一矽芯，包括：

一第一側，與一第二側相對，

其中該矽芯具有從該第一側通過該矽芯延伸到該第二側的一導孔；

一金屬層，位於該第一側和該第二側，並且與地線電性耦合；以及

一個或多個導電互連結構，通過該導孔，並且具有在該第一側和該第二側處暴露的一表面；

一絕緣層，位於該第一側和該第二側的該金屬層上方和該導孔內；

一第一再分佈層，位於該第一側；以及

一矽加勁框架，位於該第一側的該絕緣層和該第一再分佈層上方，該加勁框架的一外表面實質上沿著該半導體設備組件的一周邊設置。

【請求項14】如請求項13所述的半導體設備組件，其中該矽加勁框架是由與該矽芯實質相同的材料所形成的。

【請求項15】如請求項14所述的半導體設備組件，其中該矽加勁框架具有一熱膨脹係數（CTE），與該矽芯的一CTE實質匹配。

【請求項16】如請求項13所述的半導體設備組件，其中該矽加勁框架中形成有一開口。

【請求項17】如請求項16所述的半導體設備組件，其中該半導體設備組件進一步包括設置在該矽加勁框架的該開口內的一第一半導體裸晶。

【請求項18】如請求項17所述的半導體設備組件，其中該第一半導體裸晶藉由倒裝晶片附接與該再分佈層的一個或多個觸點電性耦合。

【請求項19】如請求項17所述的半導體設備組件，其中該矽加勁框架具有一熱膨脹係數（CTE），與該矽芯的一CTE和該第一半導體裸晶的一CTE實質匹配。

【請求項20】一種半導體設備組件，包括：

一矽芯，包括：

一第一側，與一第二側相對，

其中該矽芯具有從該第一側通過該矽芯延伸到該第二側的一導孔；

一氧化物層，位於該第一側和該第二側；以及

一個或多個導電互連結構，通過該導孔，並且具有在該第一側和該第二側處暴露的一表面；

一絕緣層，位於該第一側和該第二側的該氧化物層上方和該導孔內；

一第一再分佈層，位於該第一側；以及

一矽加勁框架，在該矽芯的該第一側與該氧化物層接觸，該加勁框架的一外表面實質上沿著該矽芯的一周邊設置。

┐

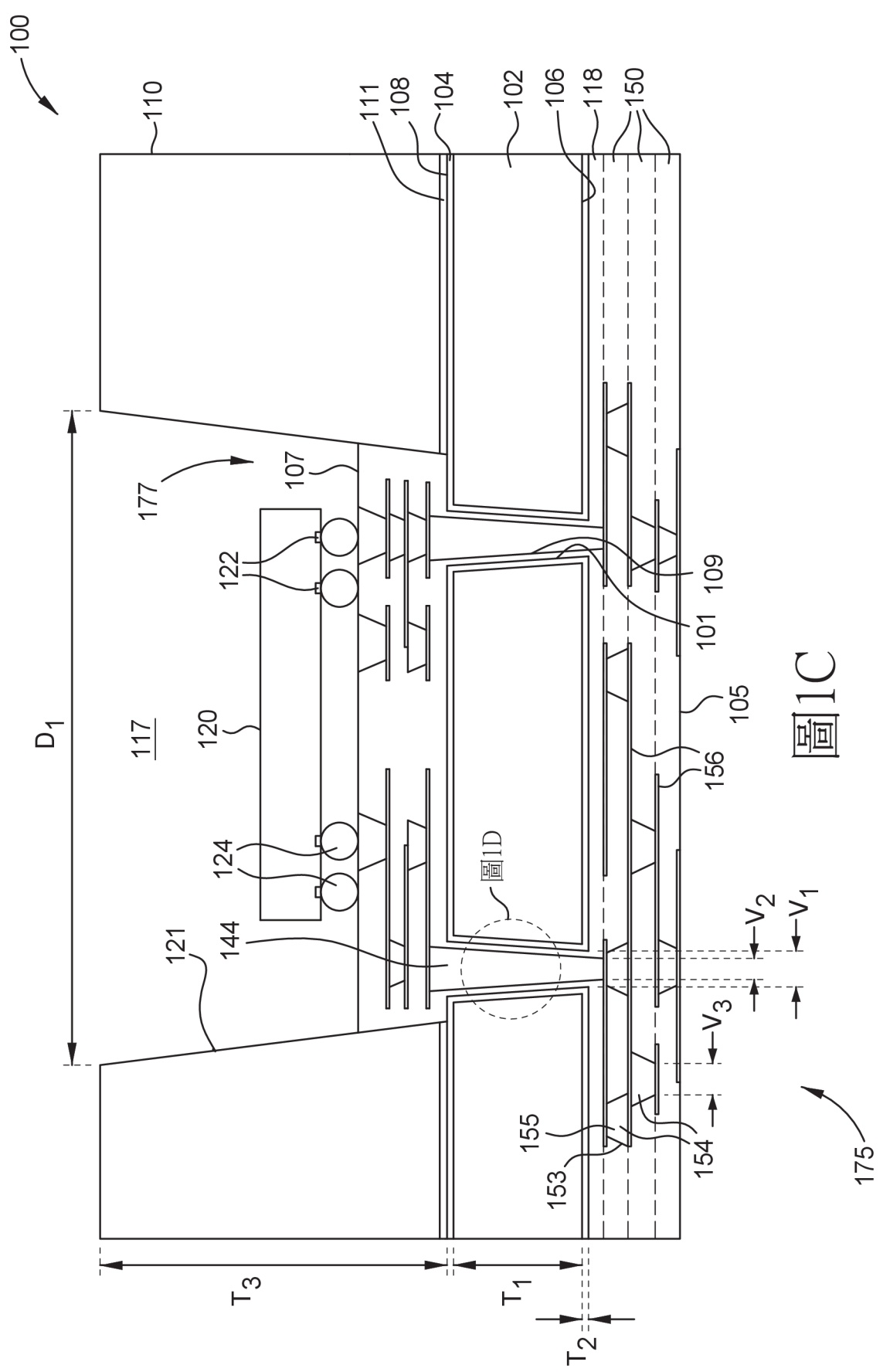


圖1C

┐

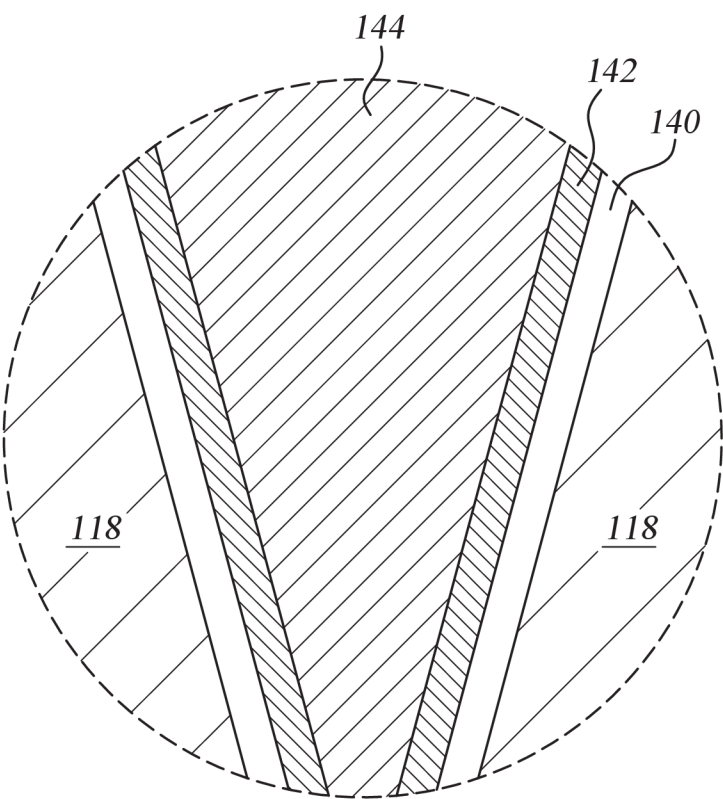


圖1D



┐

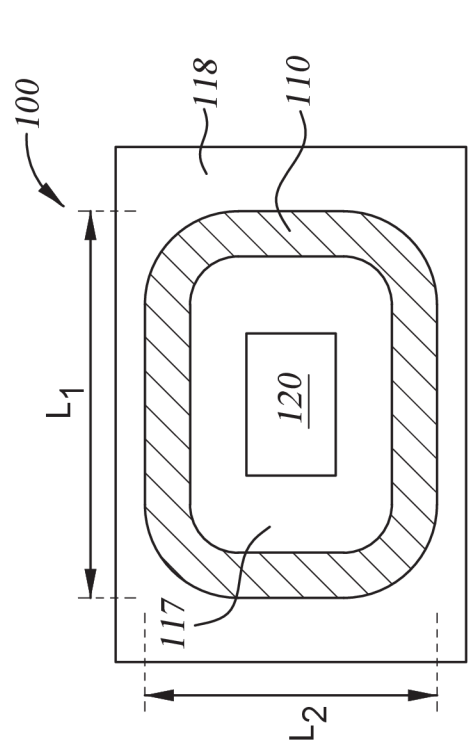


圖1E

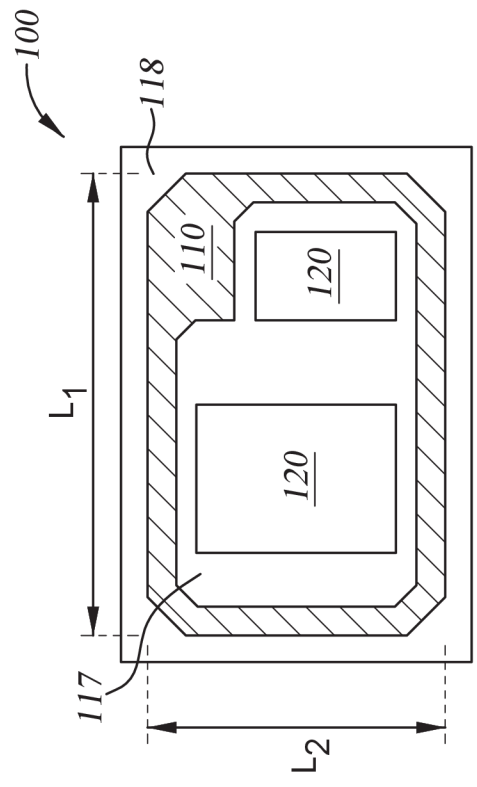


圖1F

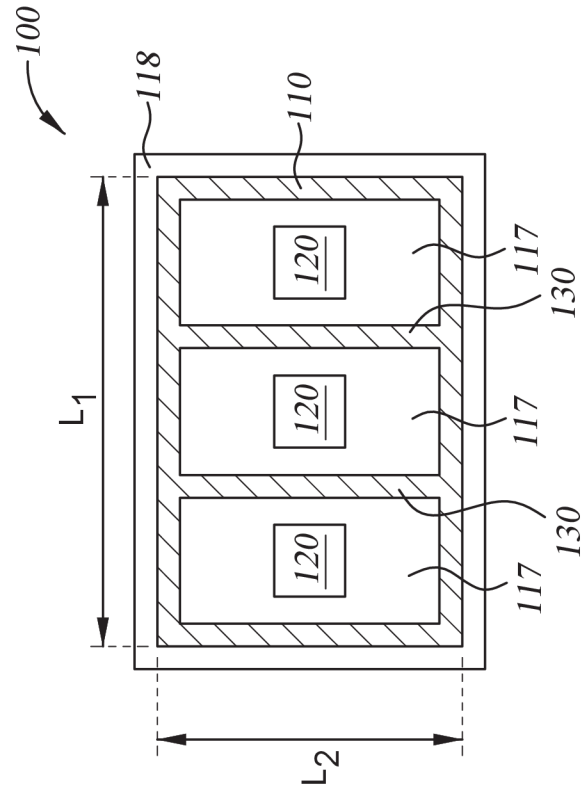


圖1G

┐



圖2

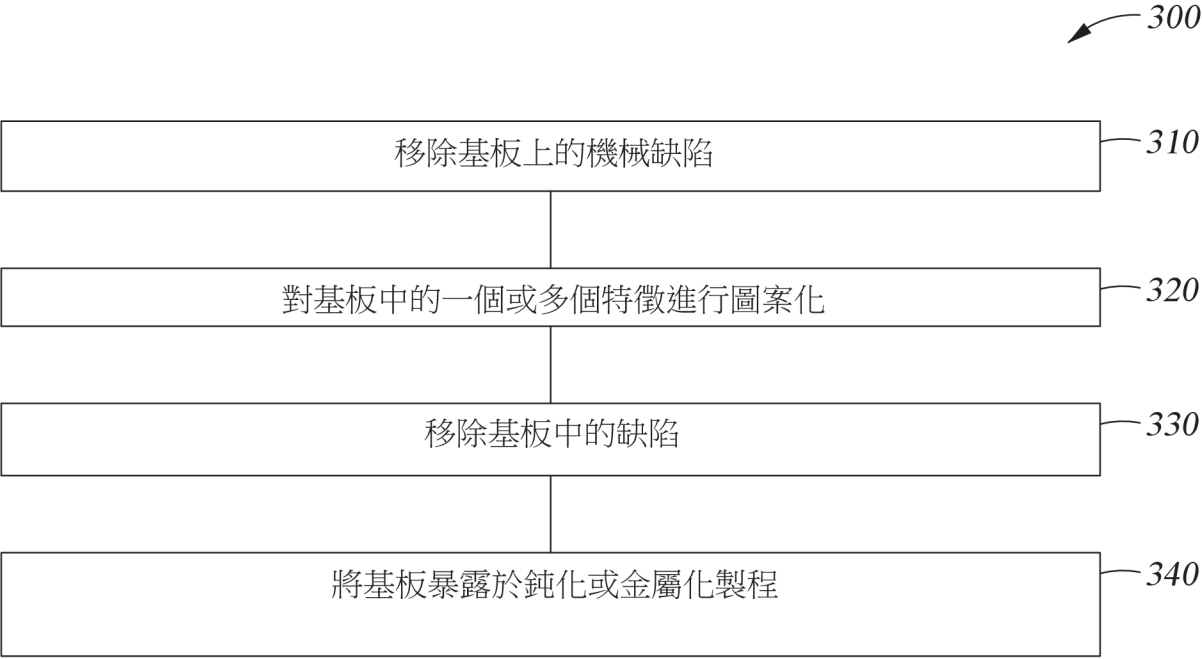


圖3



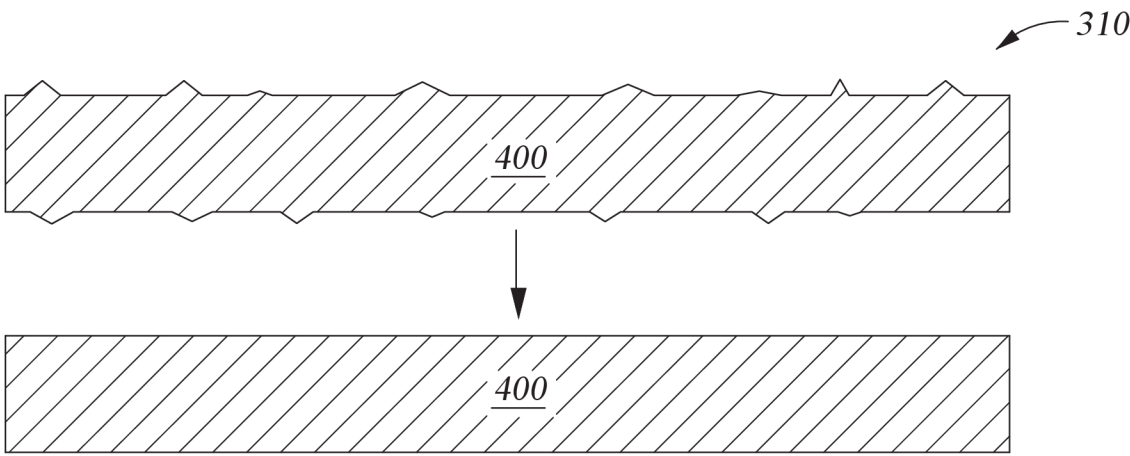


圖4A

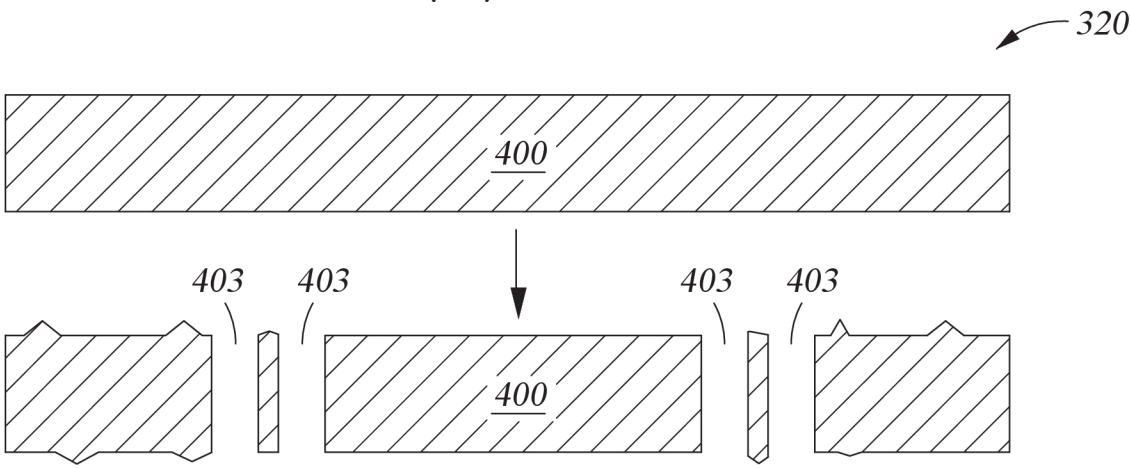


圖4B

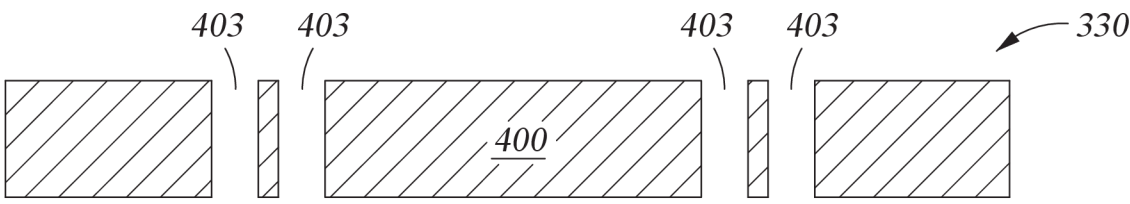


圖4C

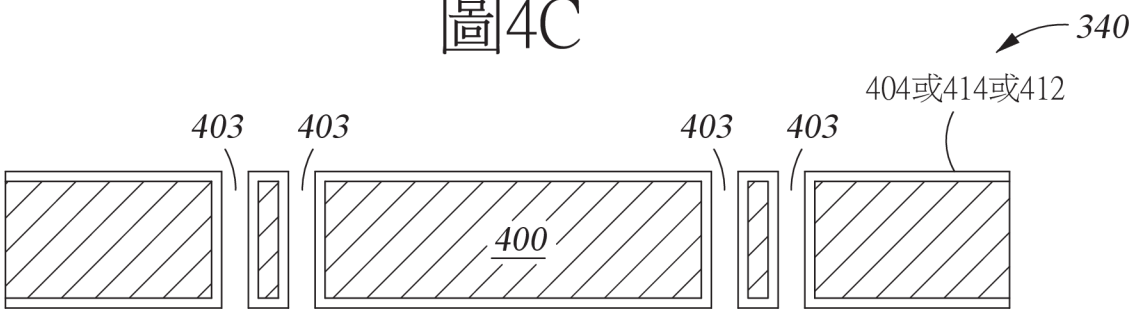


圖4D





500

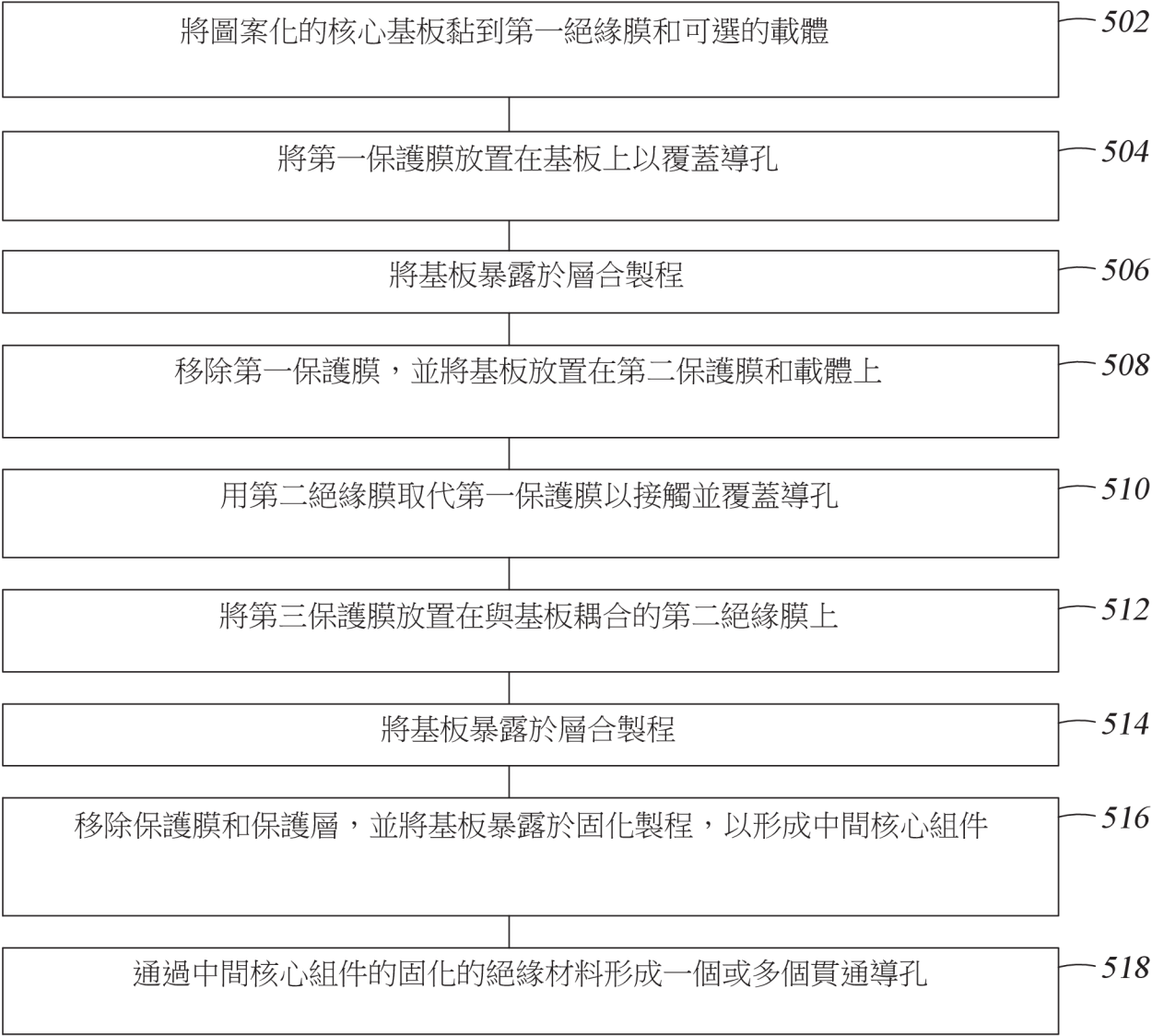


圖5



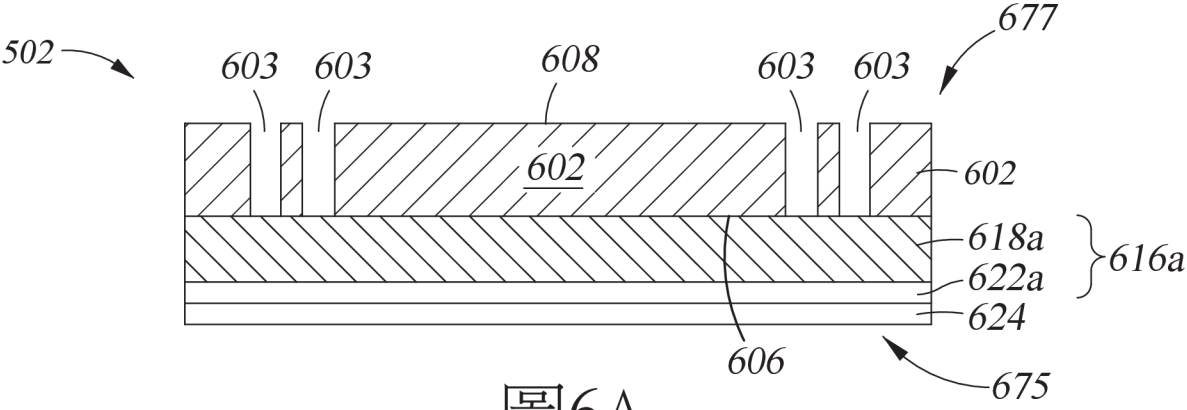


圖6A

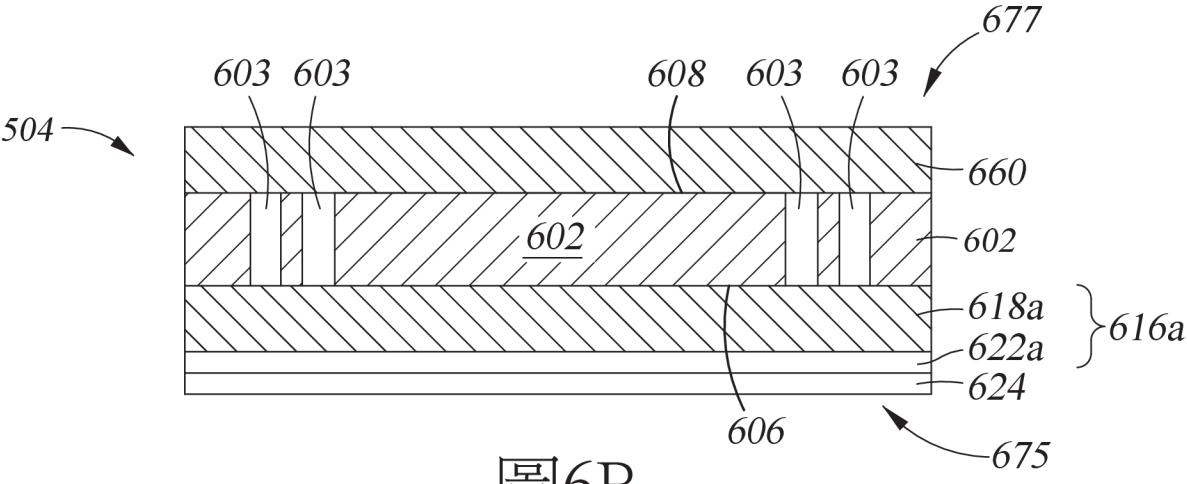


圖6B

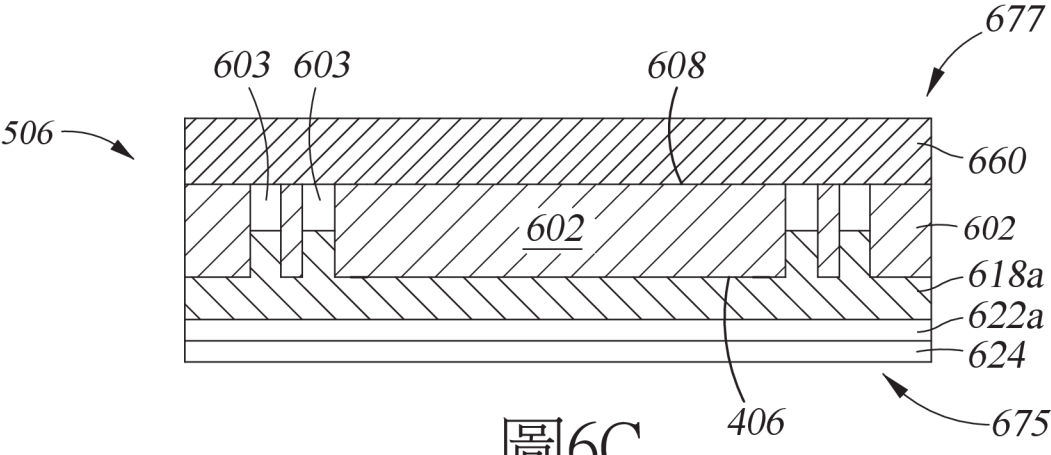


圖6C



┌

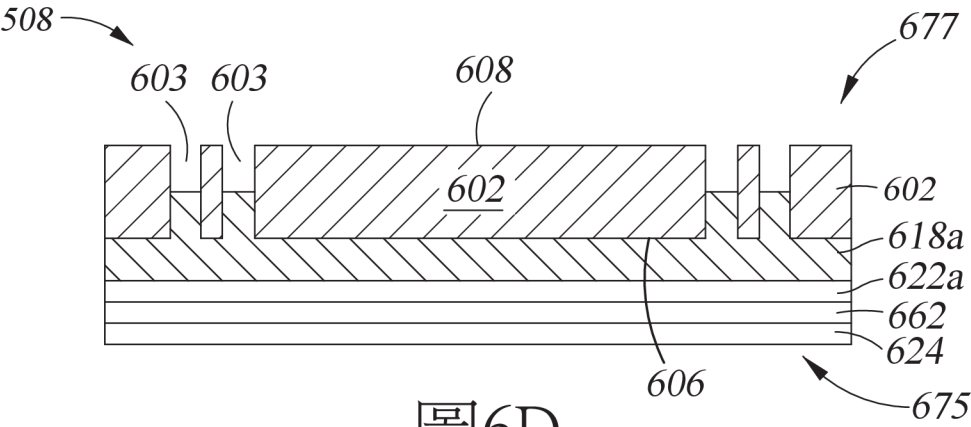


圖6D

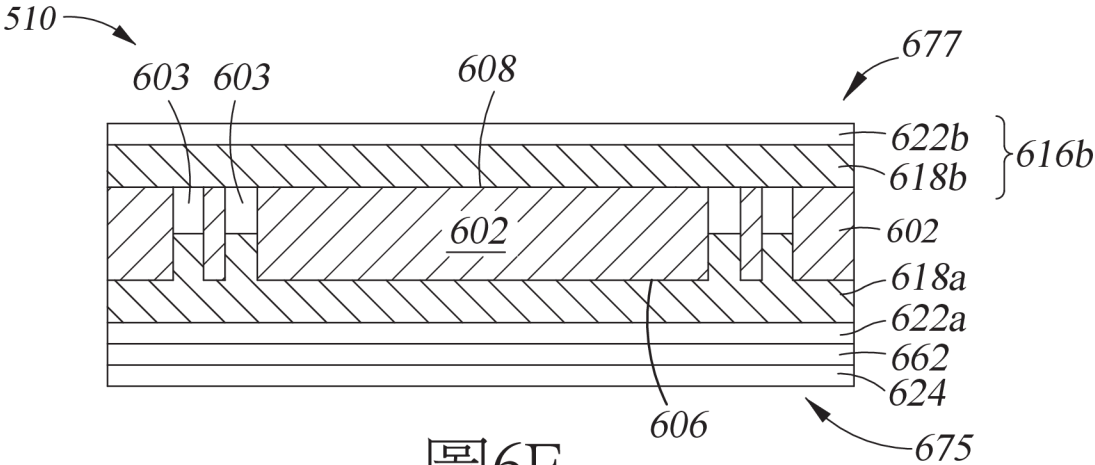


圖6E

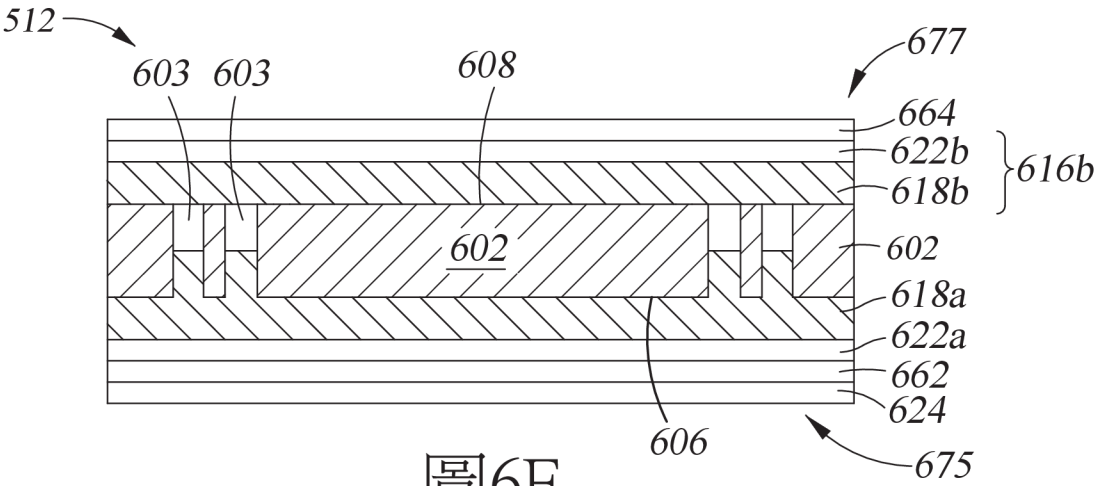


圖6F

└

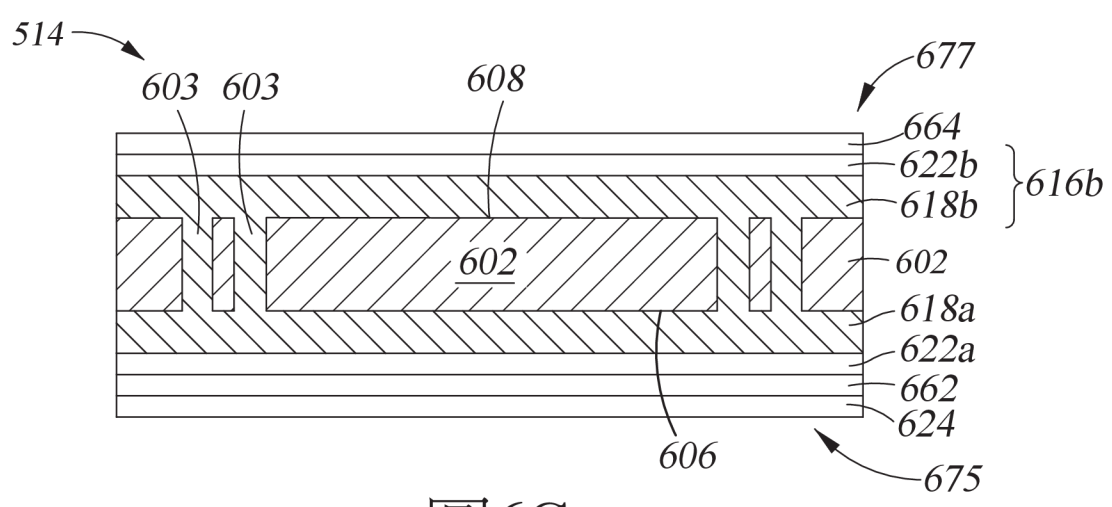


圖6G

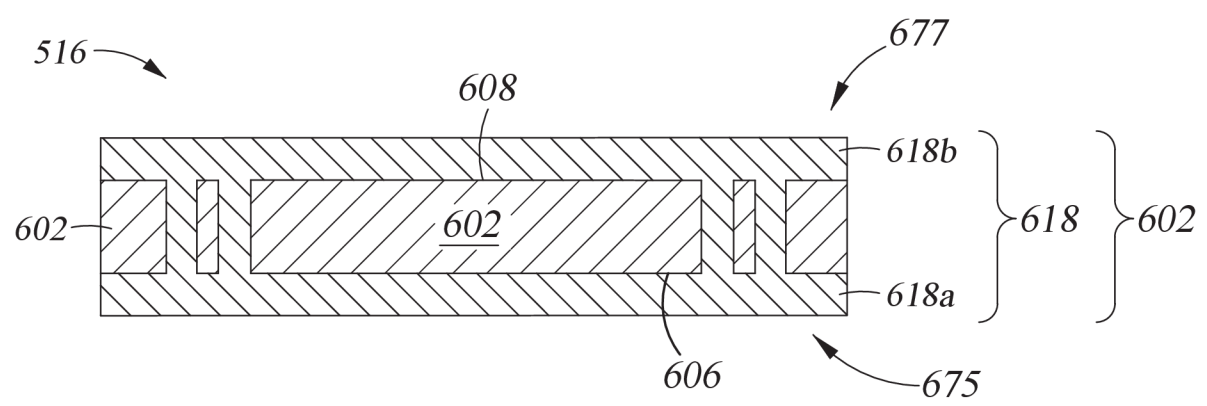


圖6H

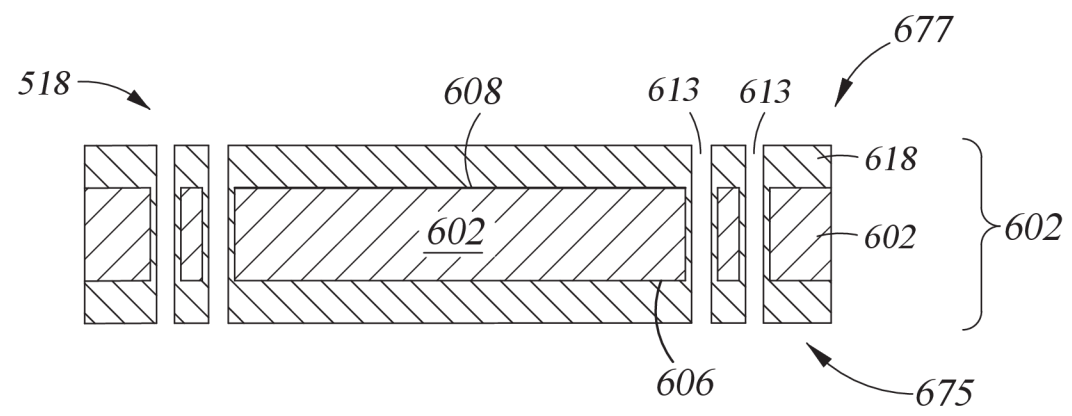


圖6I





700

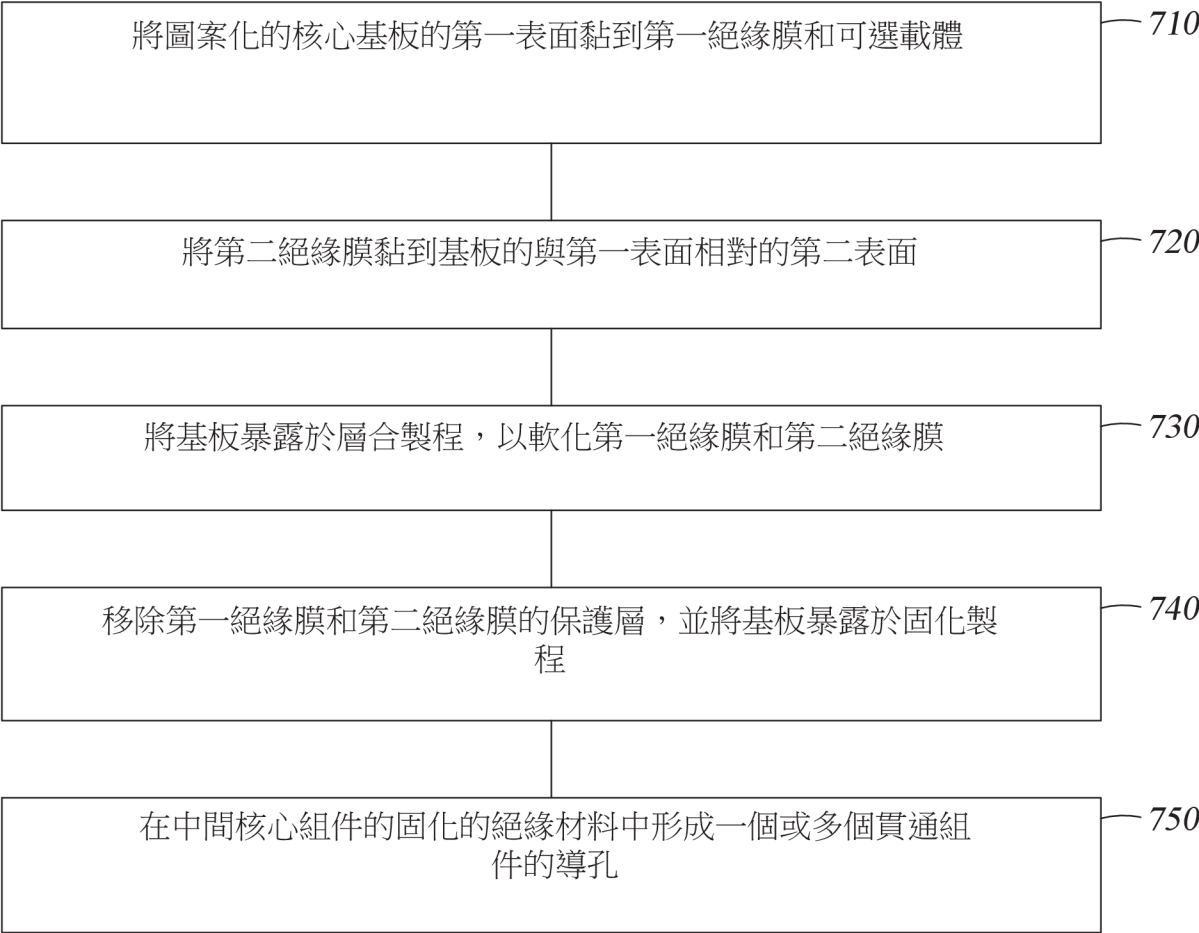


圖7



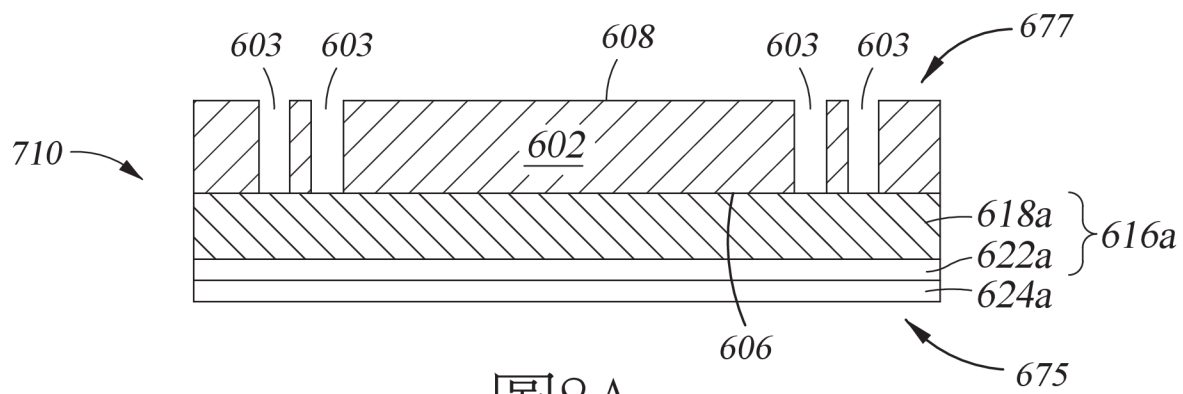


圖8A

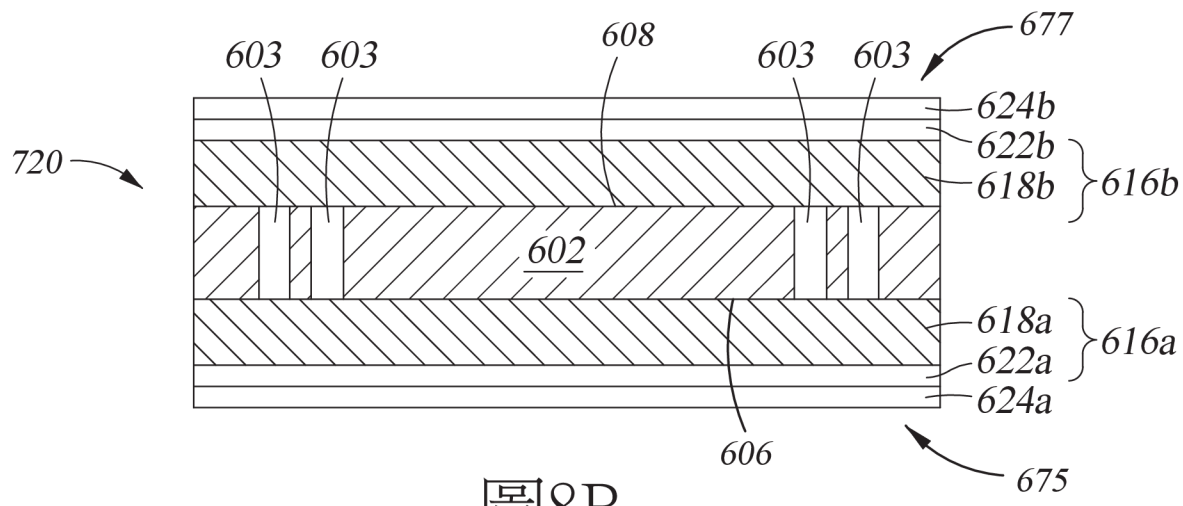


圖8B

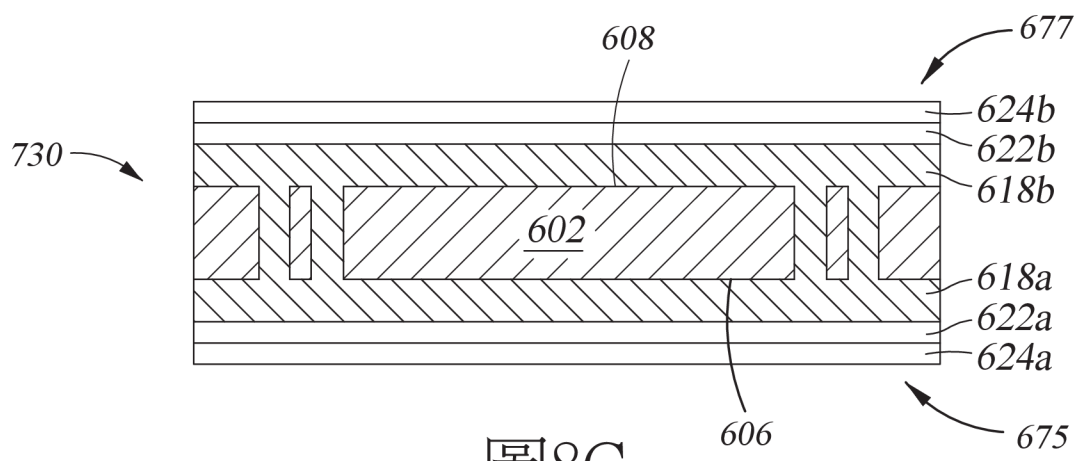


圖8C



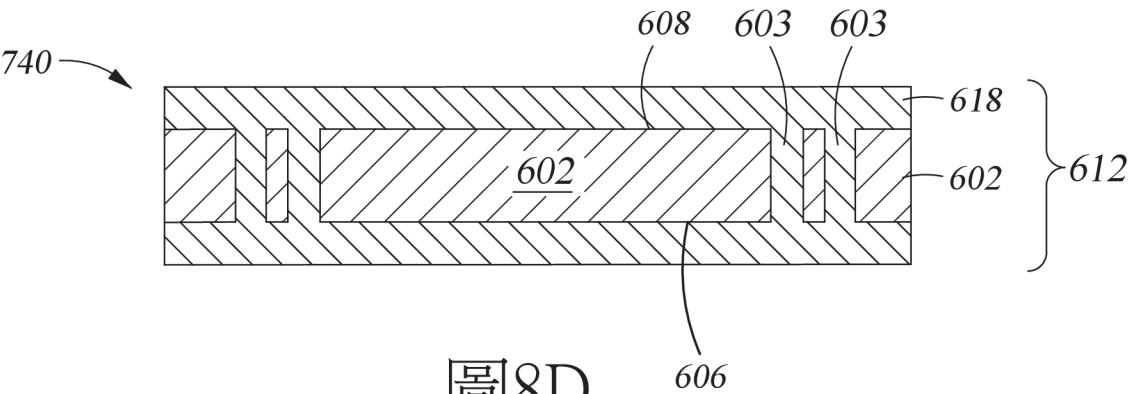


圖8D

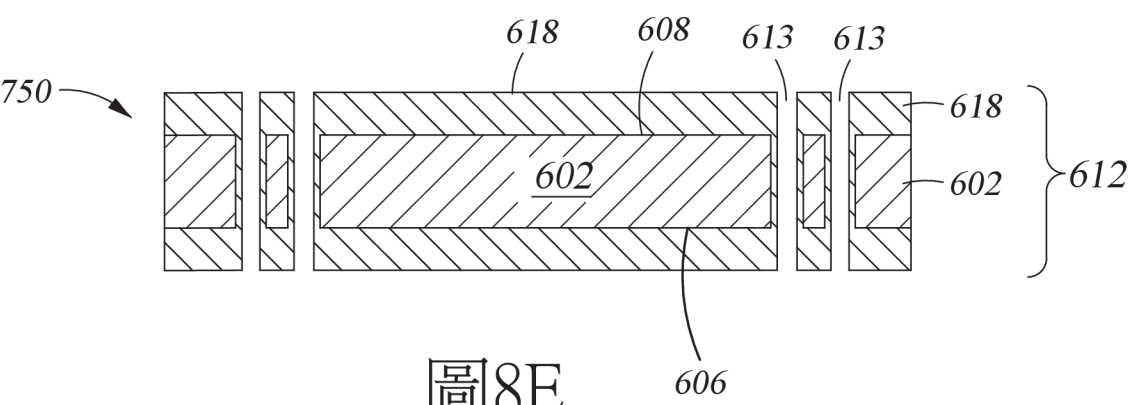


圖8E



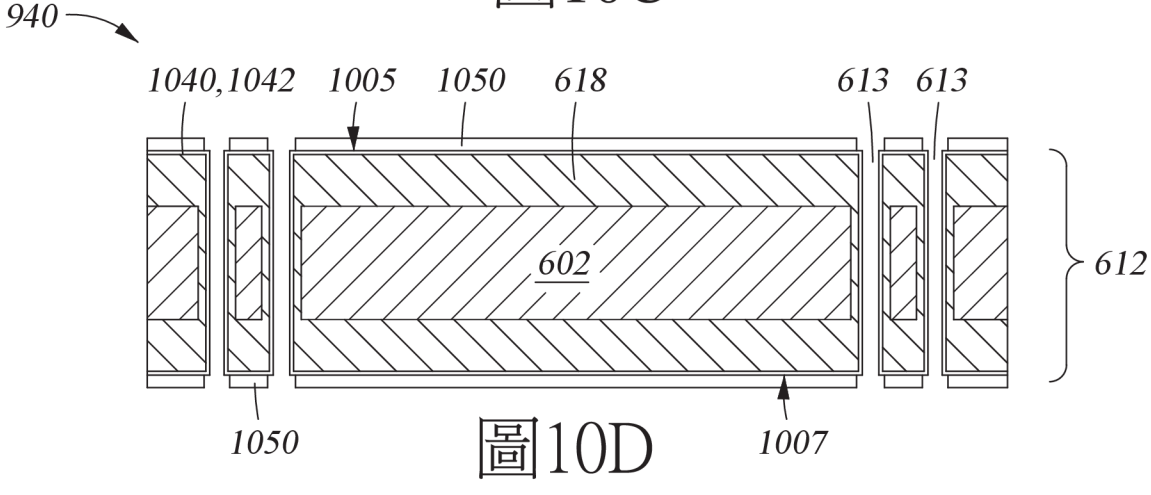
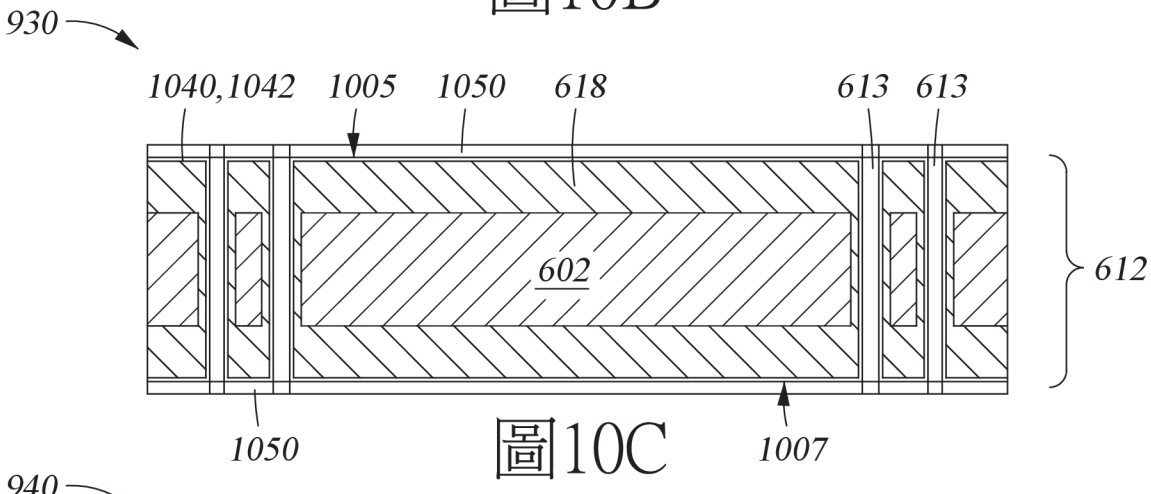
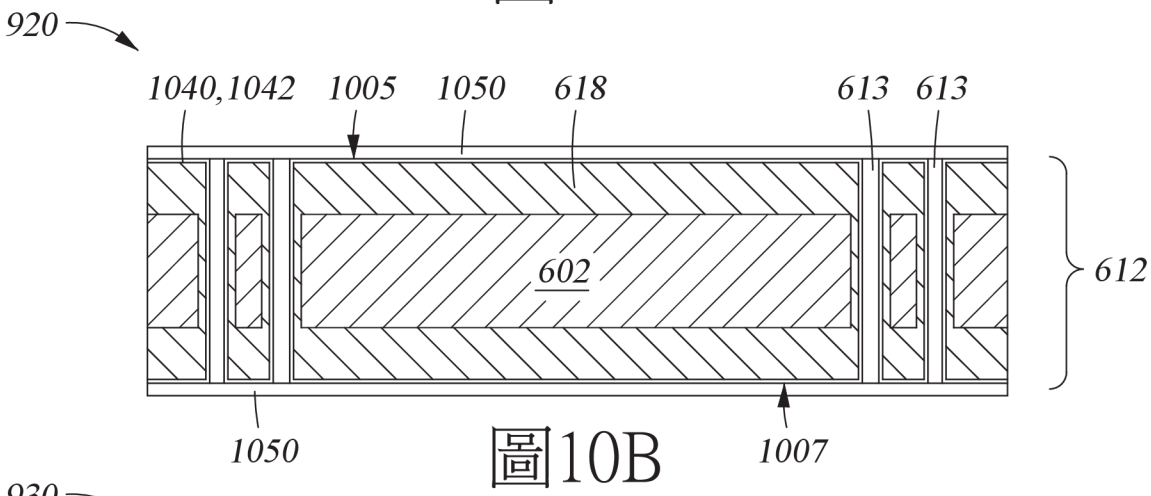
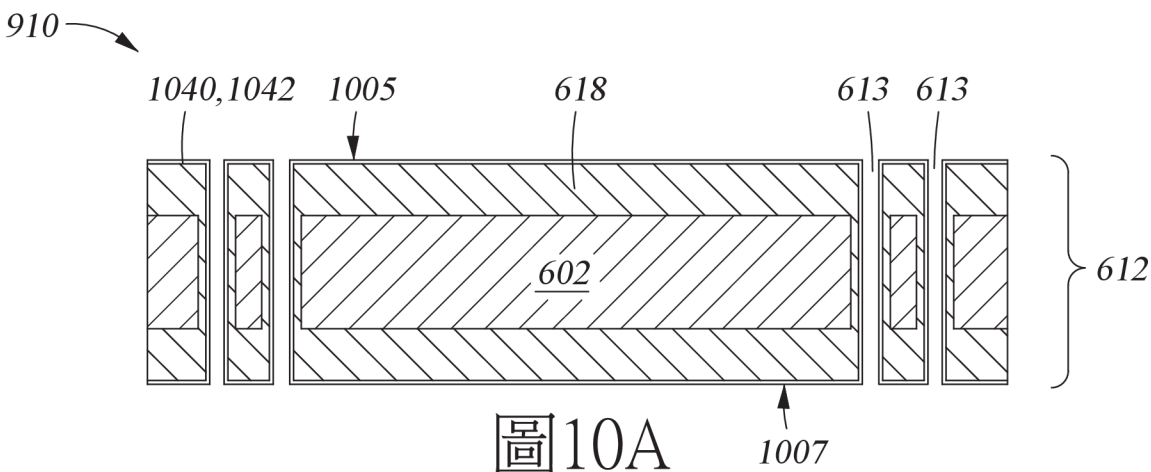
┌

900 ↖



圖9

└



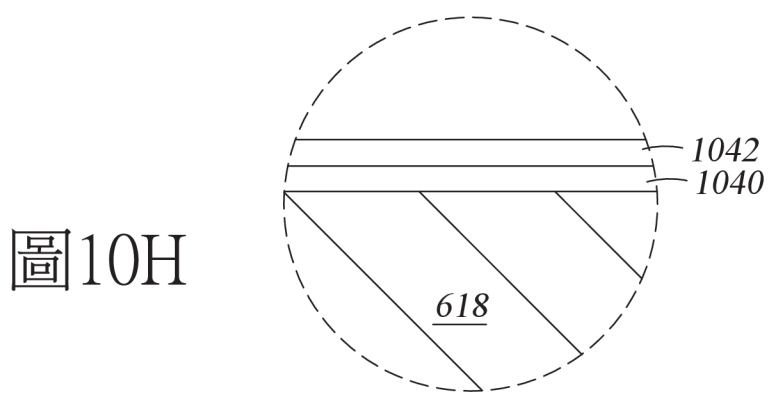
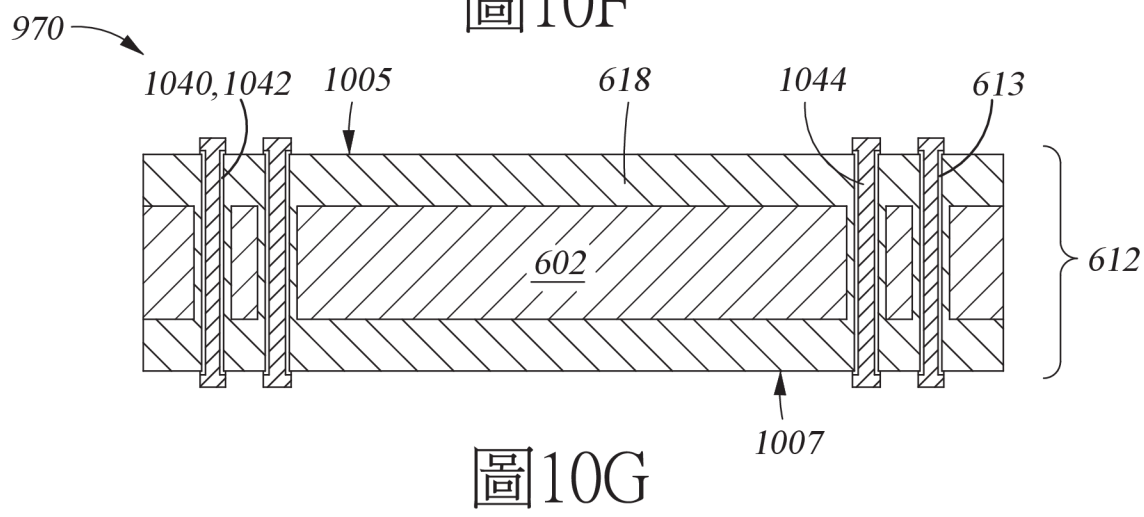
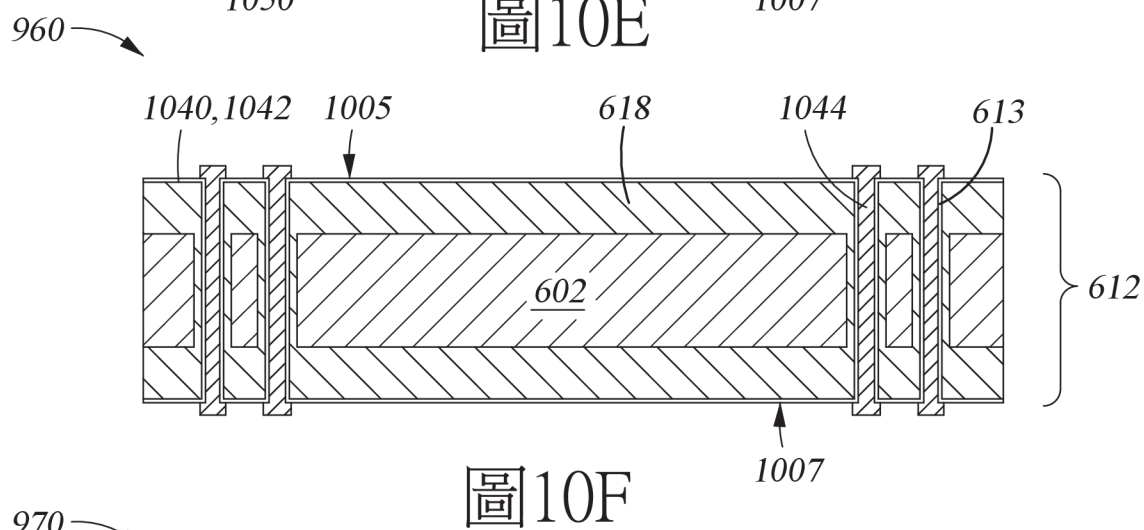
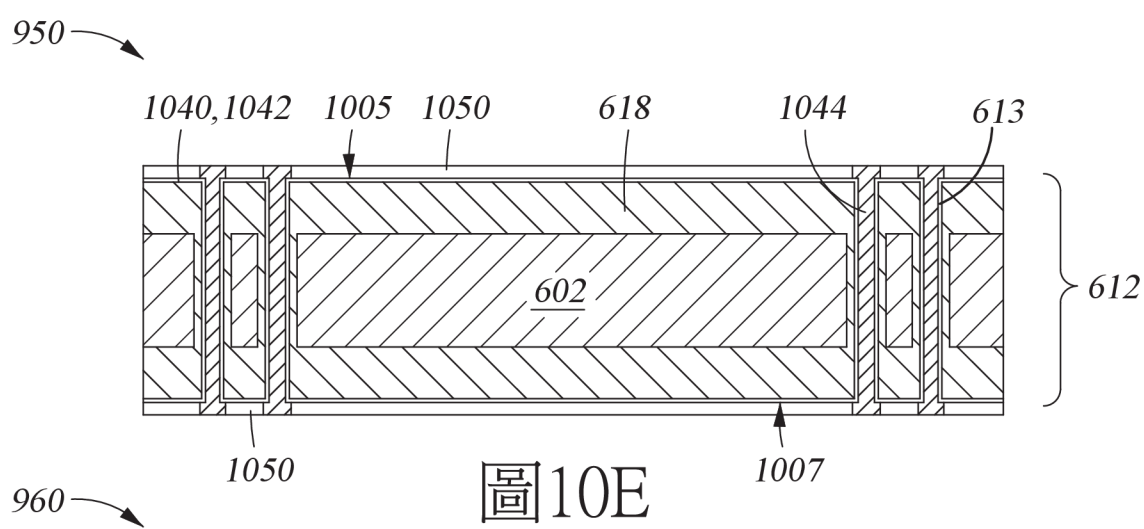




圖11



圖 12A



12B



圖 12C

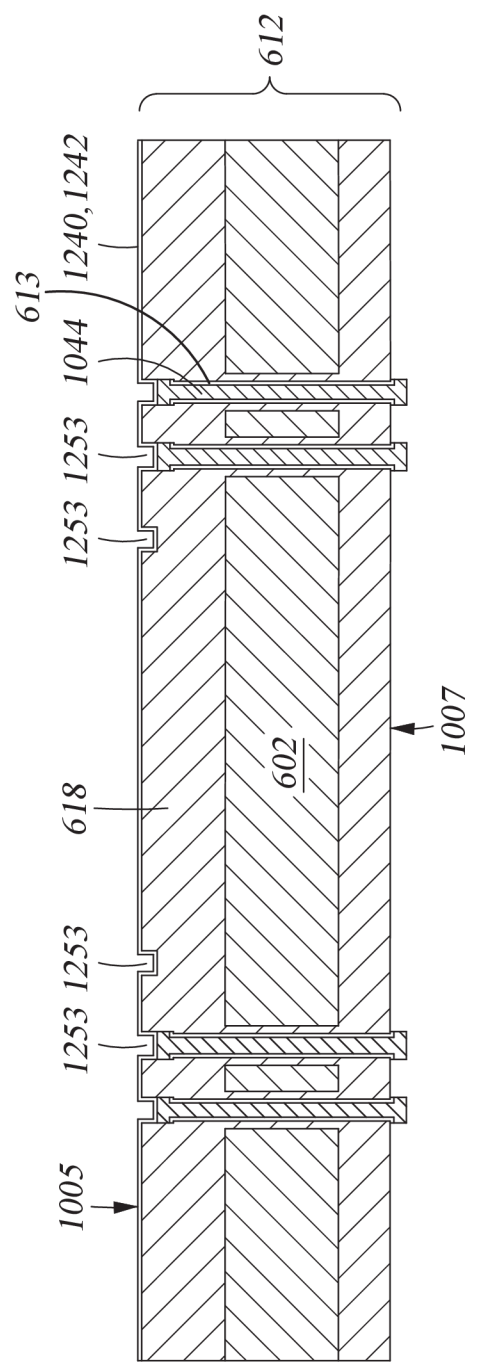


圖12D

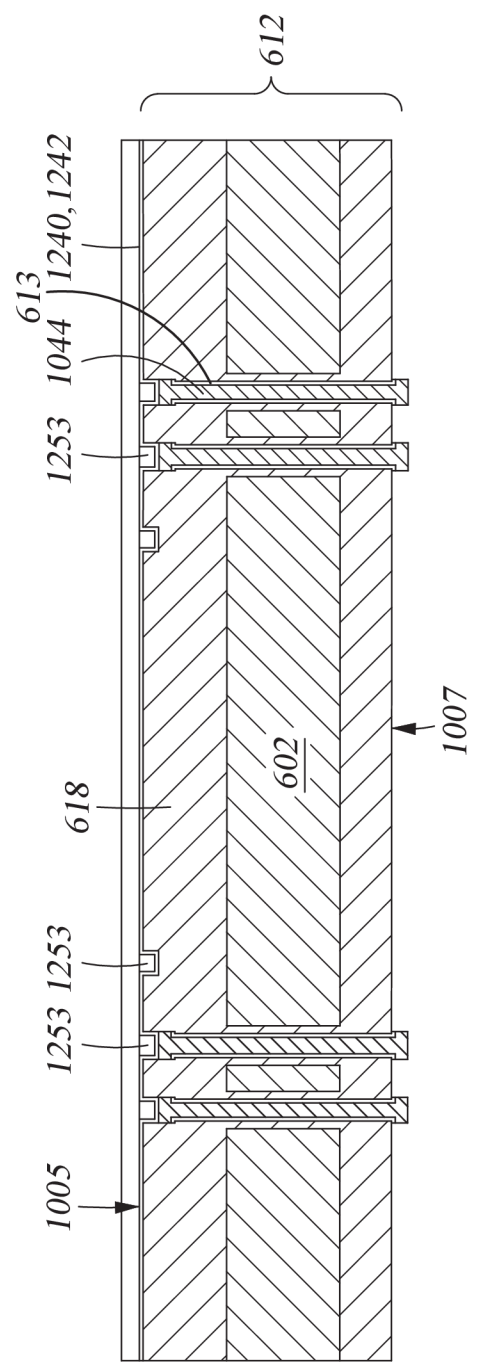
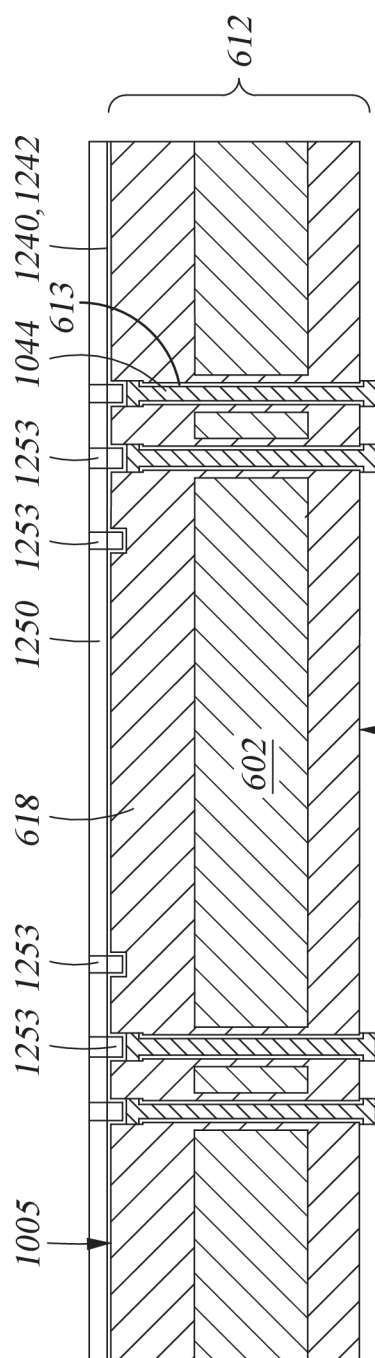


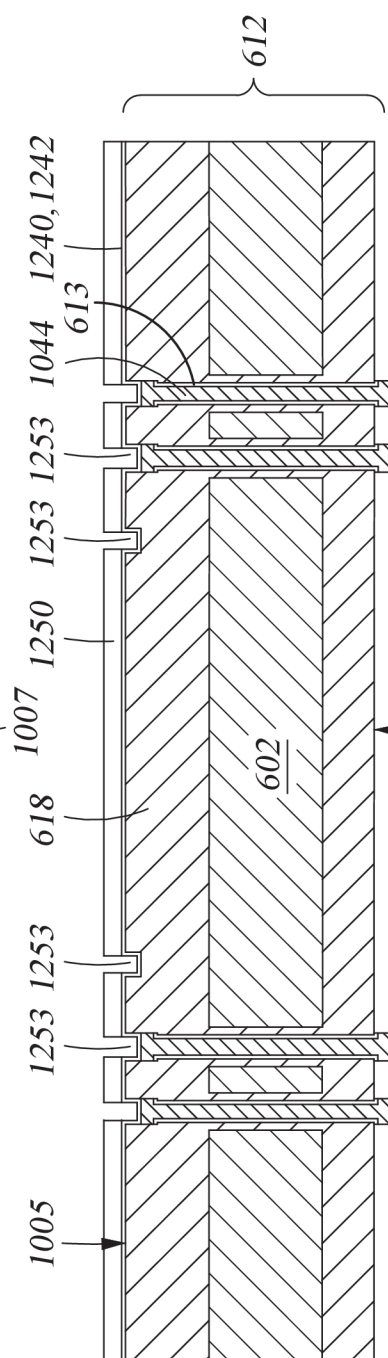
圖12E





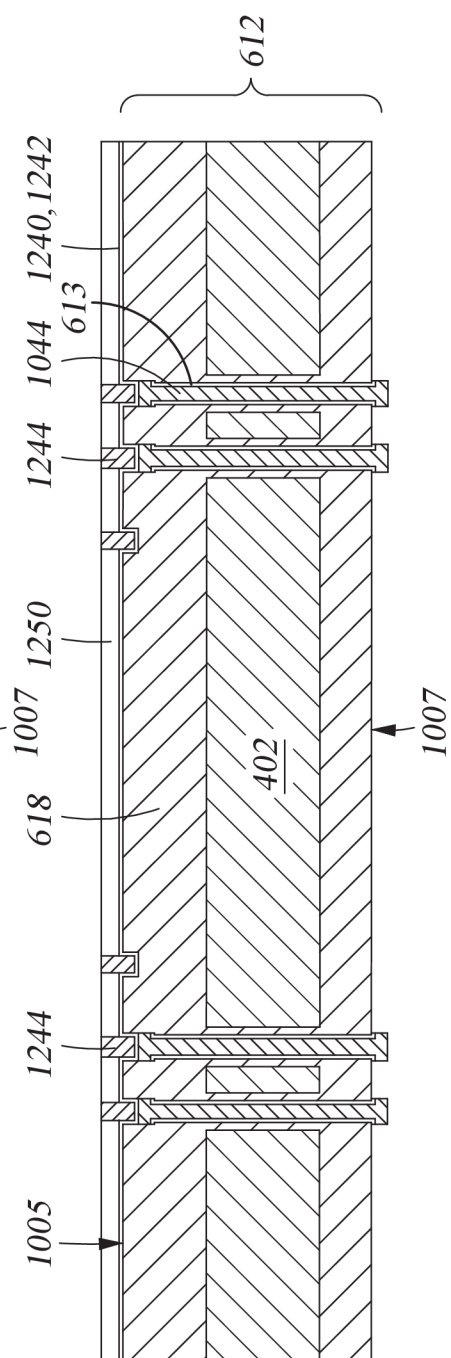
1112

圖 12F



1114

圖 12G



1116 

圖 12H

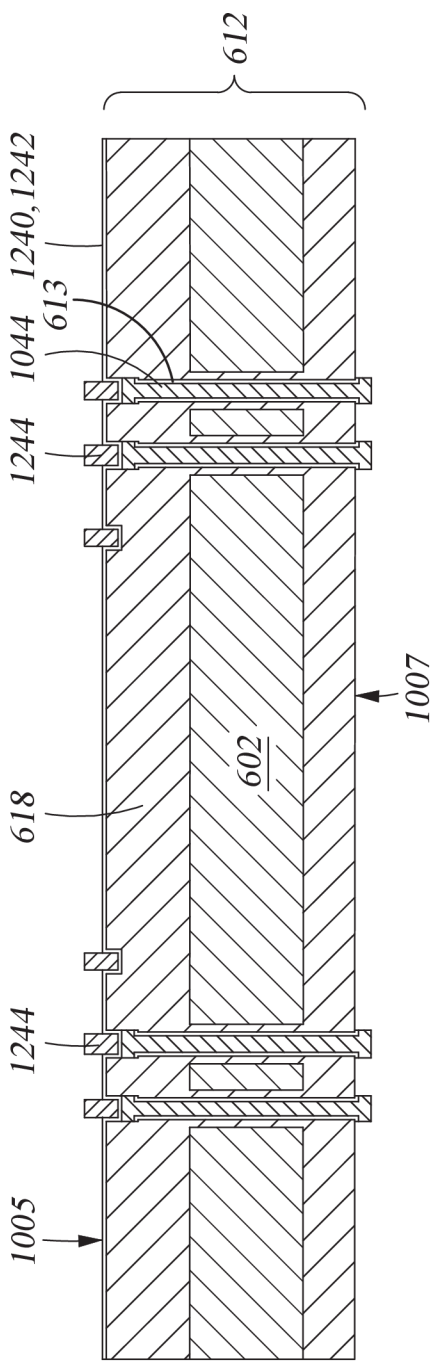


圖12I

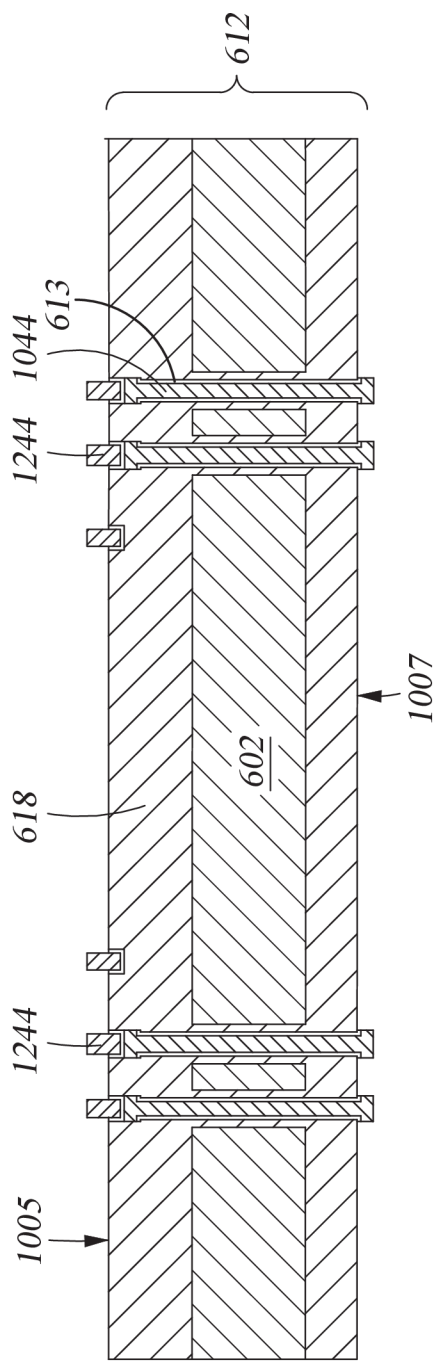
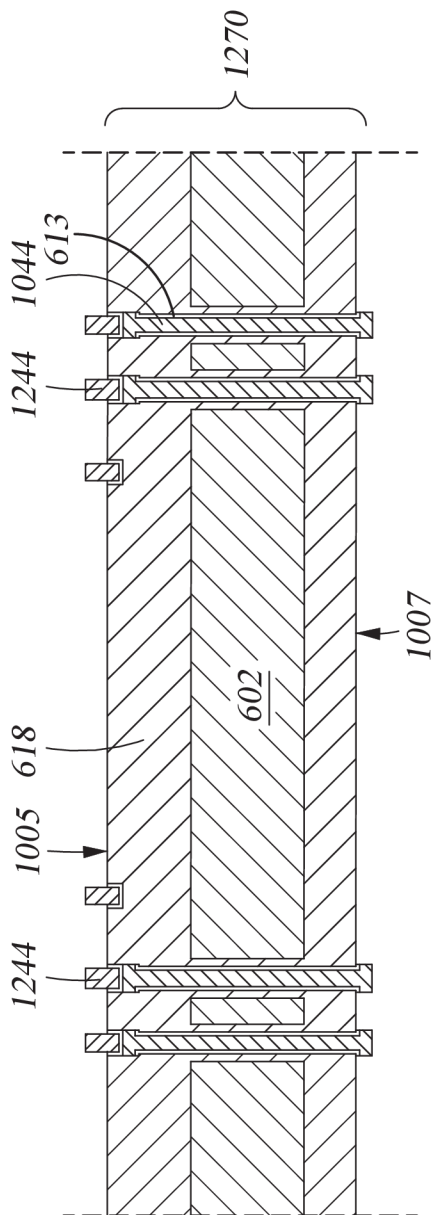


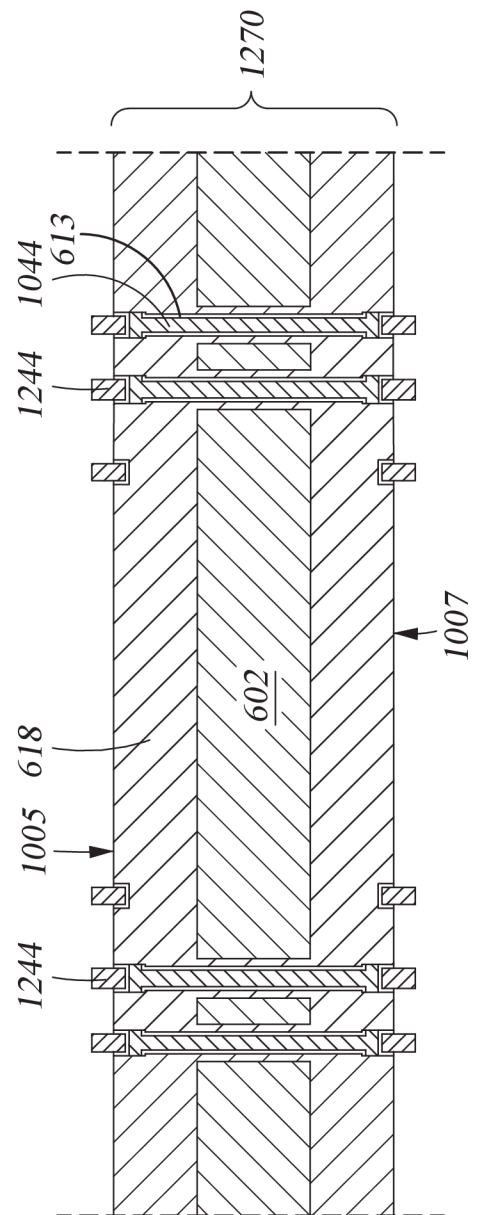
圖12J





1119

圖12K



1120

圖12L



┌

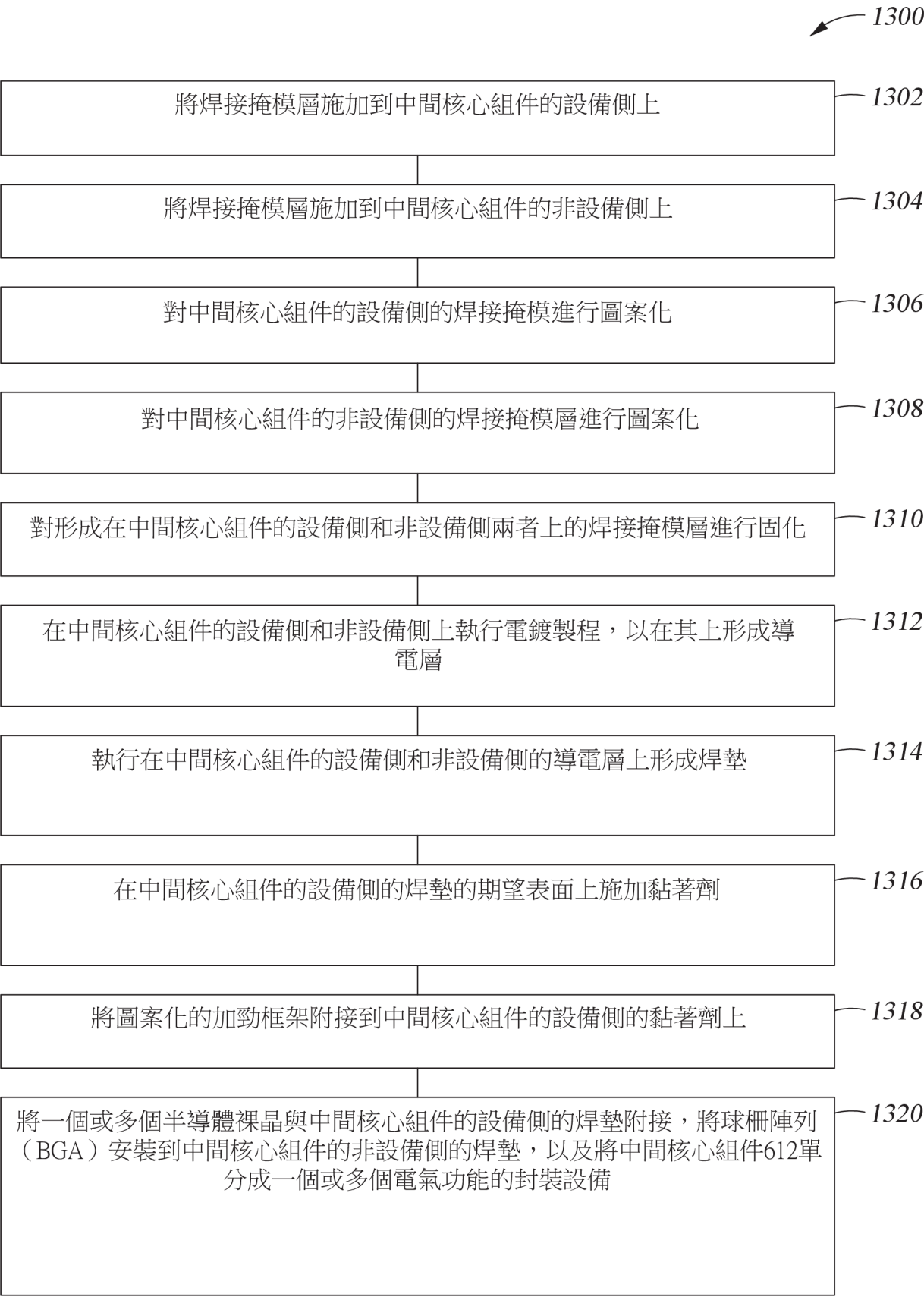


圖13

└

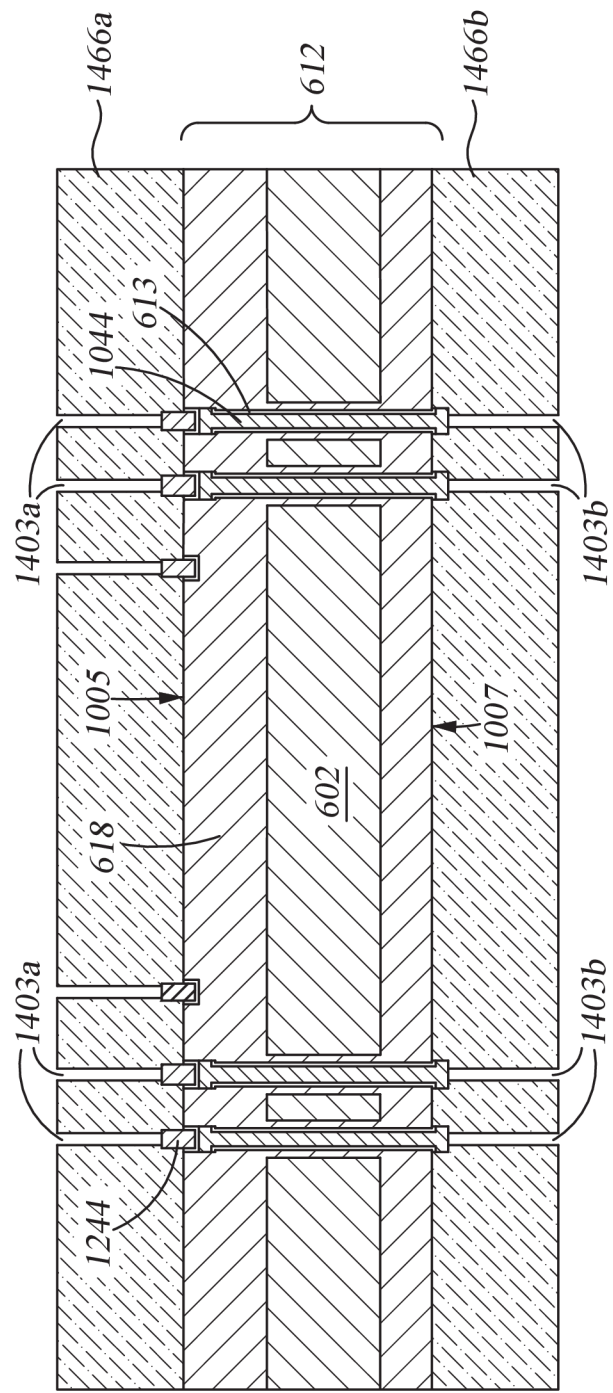


圖14E

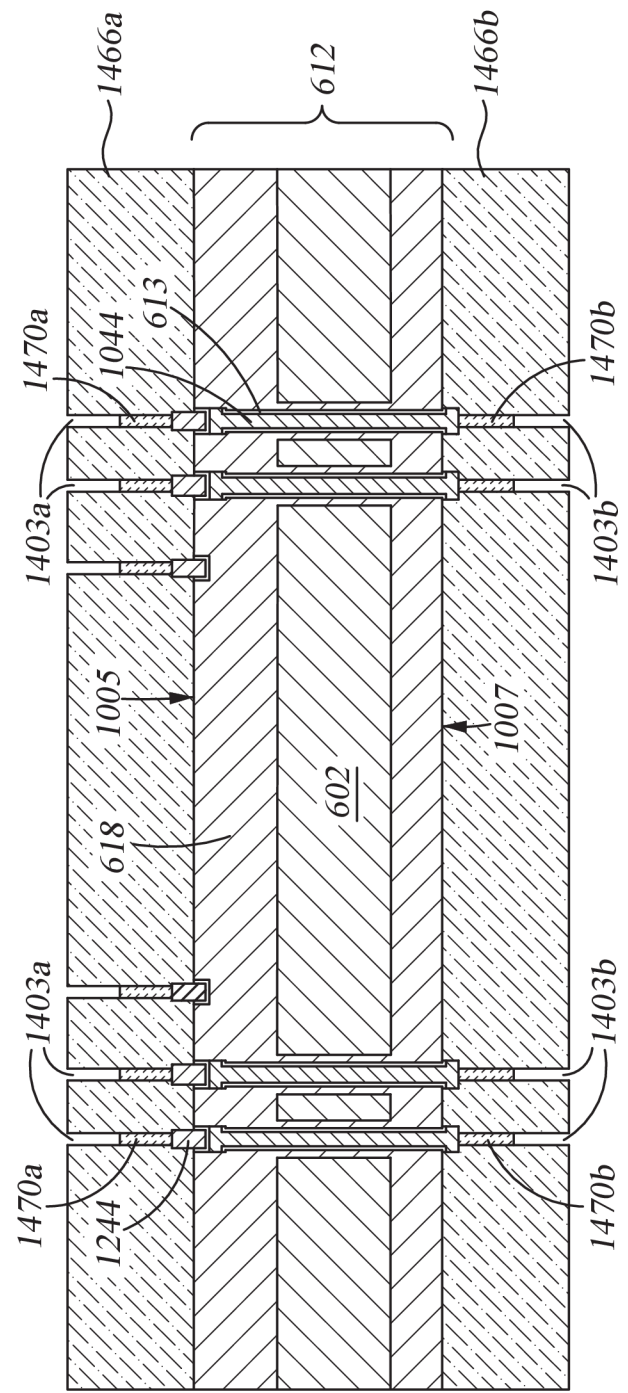


圖14F



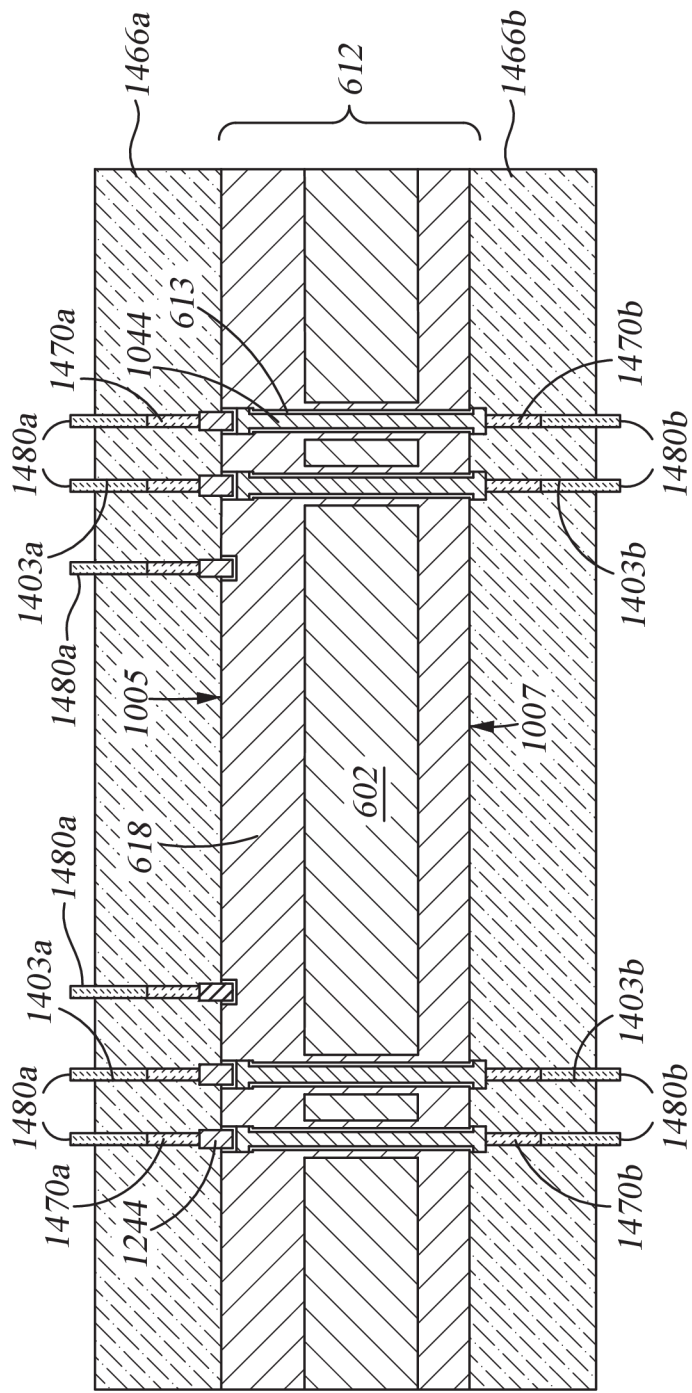


圖14G



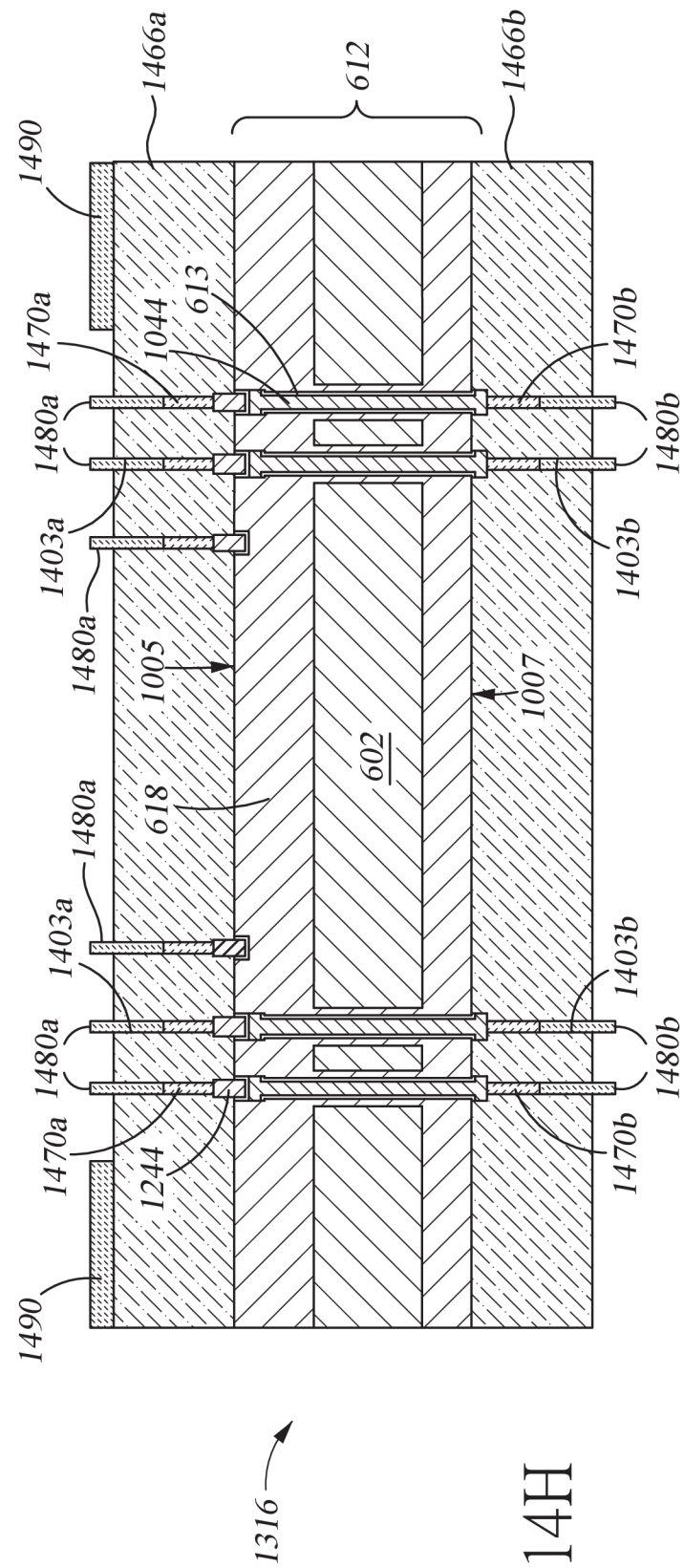


圖14H



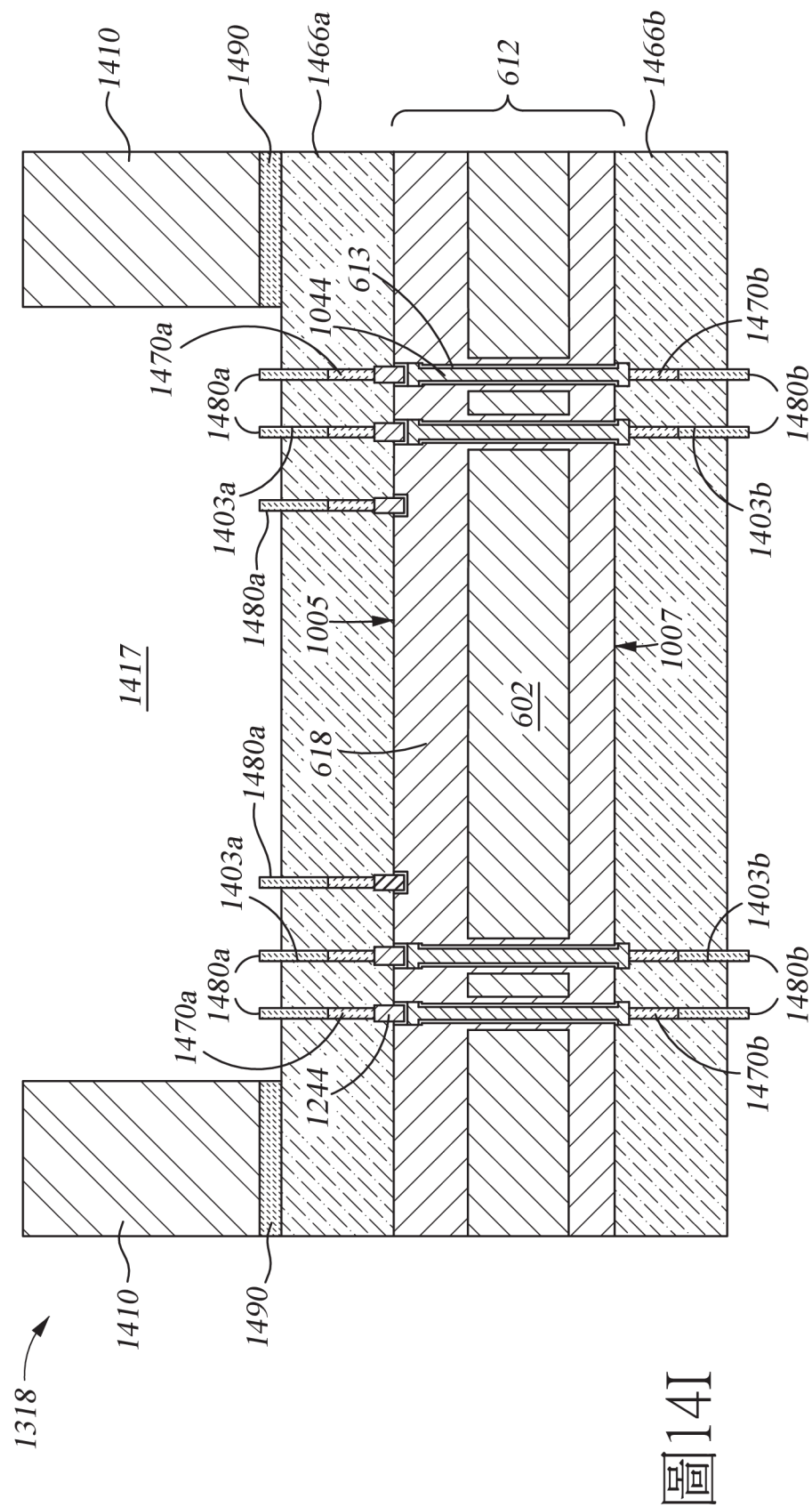


Figure 14

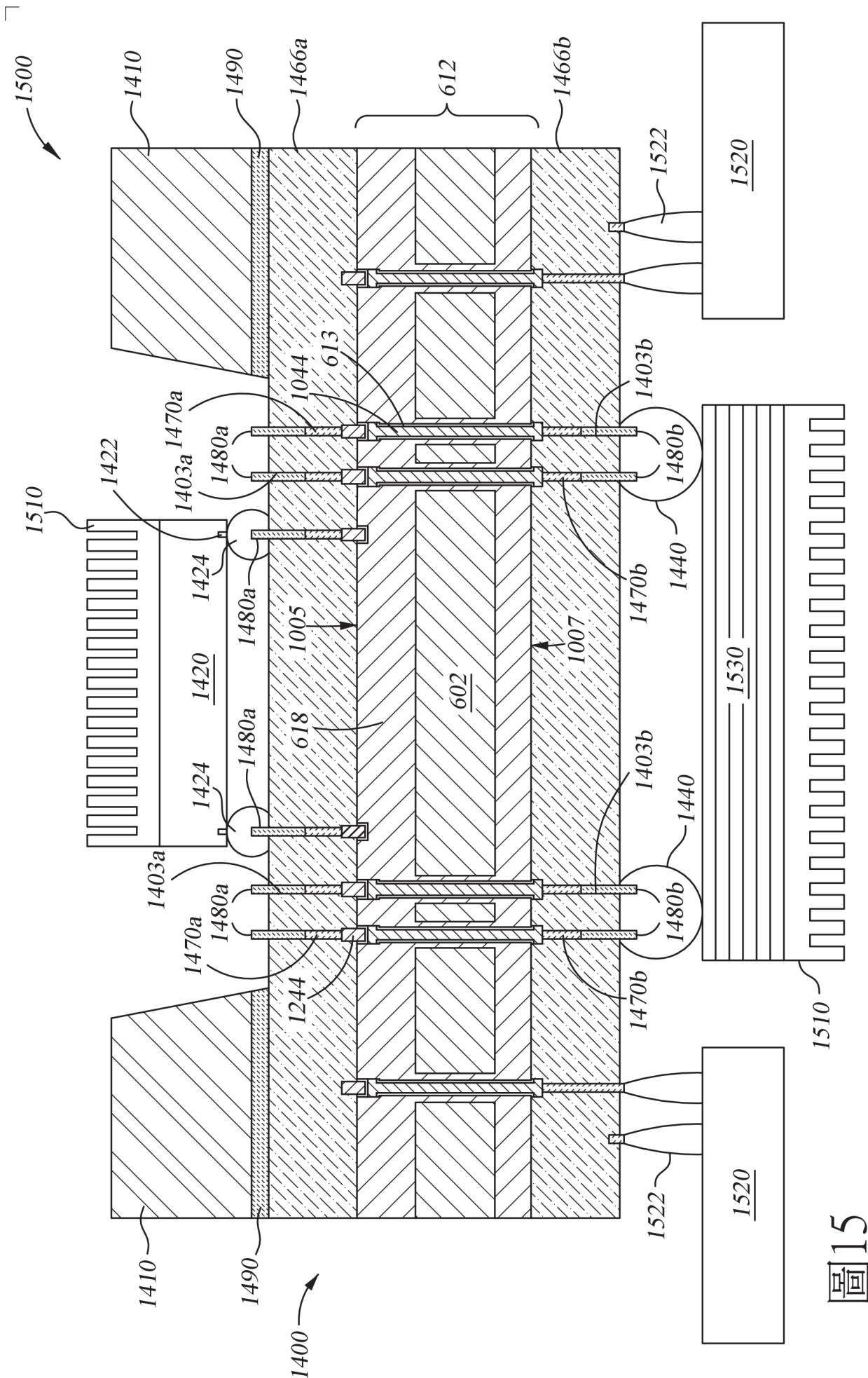


圖15

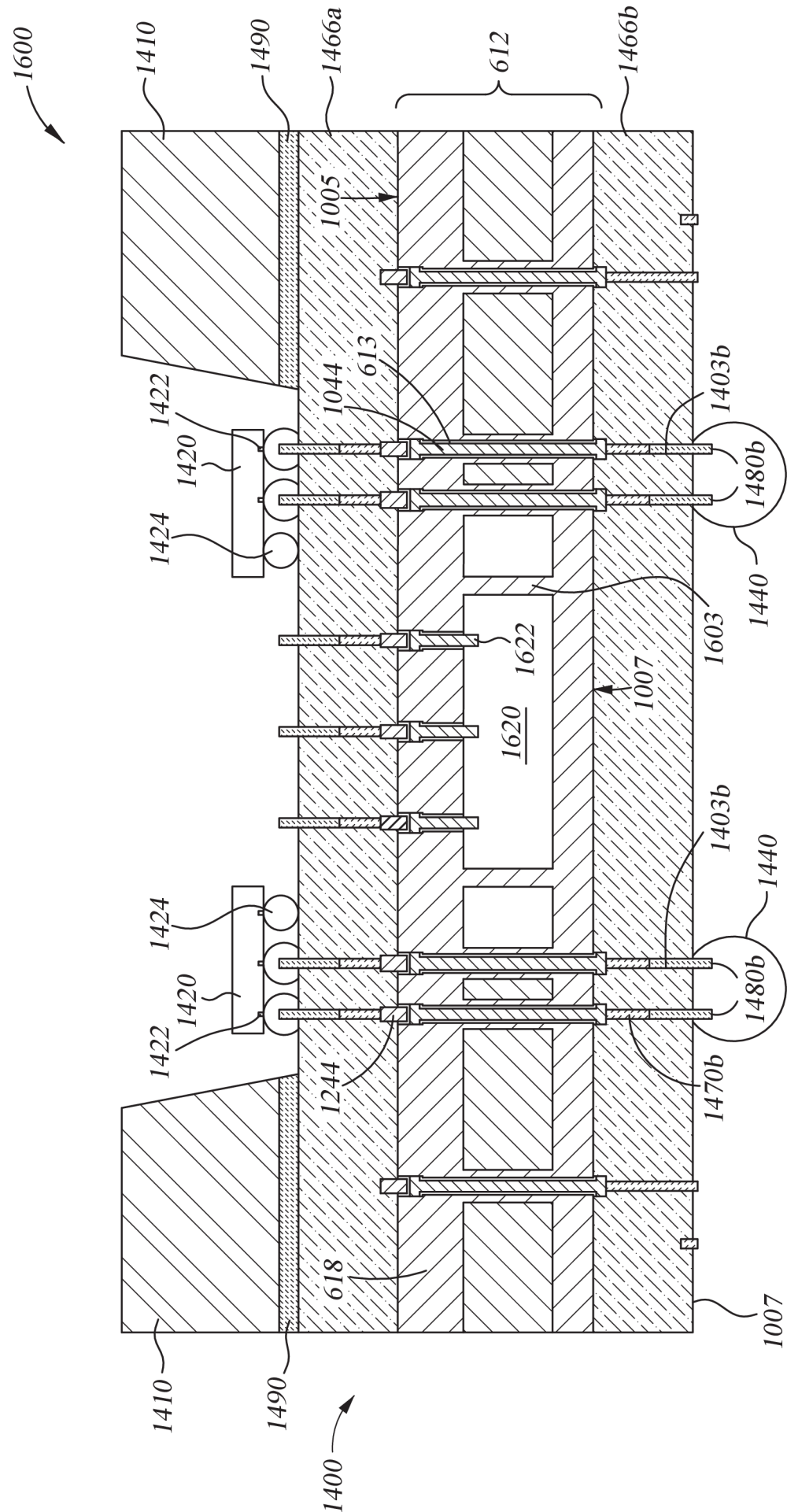


圖16



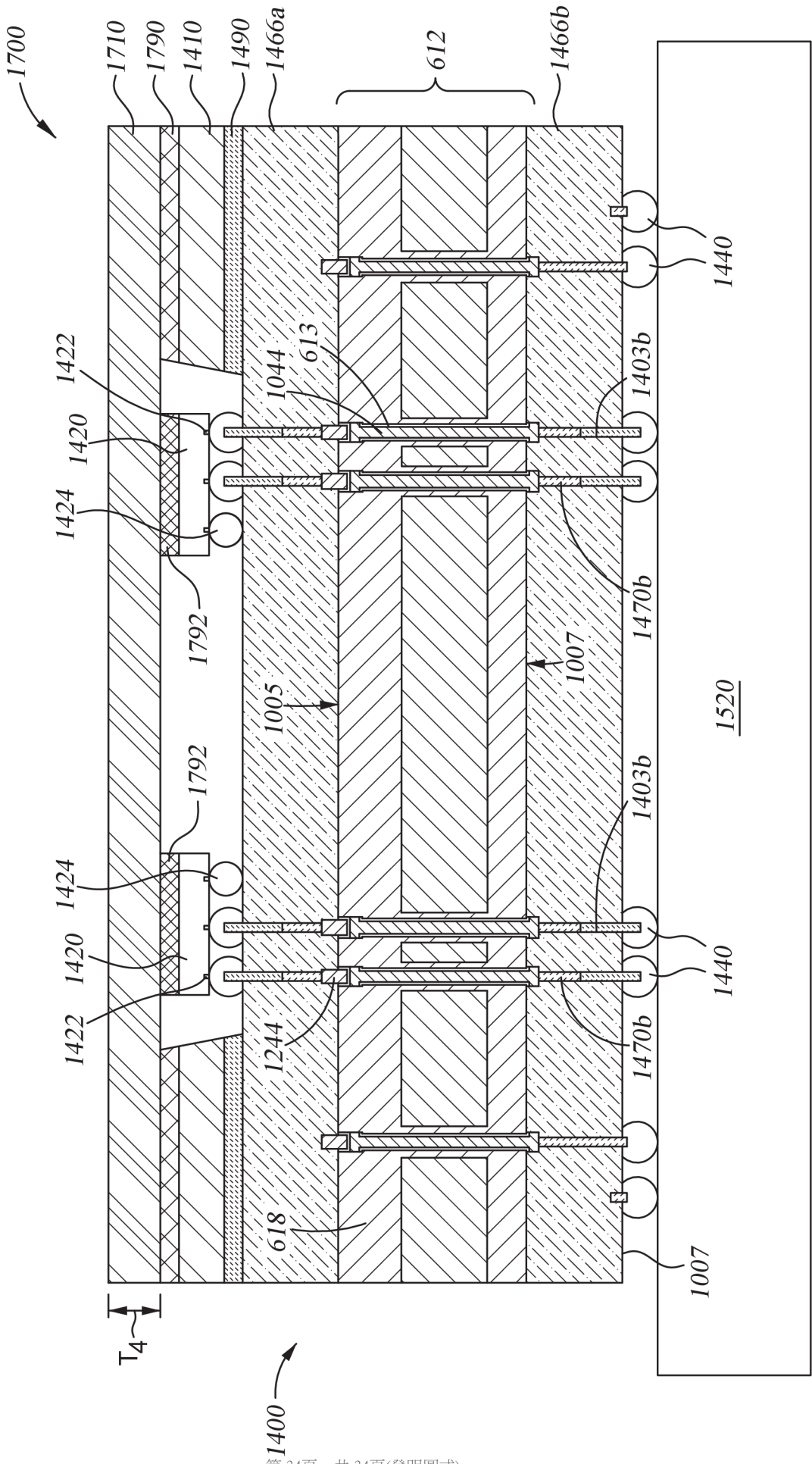


圖17



核心基板 102 包括由 III-V 族化合物半導體材料、矽（其例如具有約 1 與約 10 歐姆-厘米之間的電阻率或約 100 W/mK 的導電率）、結晶矽（例如 Si<100> 或 Si<111>）、氧化矽、矽鍺、摻雜或未摻雜的矽、未摻雜的高電阻率矽（例如，具有較低溶解氧含量和約 5000 與約 10000 歐姆-厘米之間的電阻率的浮動區矽）、摻雜或未摻雜的多晶矽、氮化矽、碳化矽（其例如具有約 500 W/mK 的導電率）、石英、玻璃（例如，硼矽酸鹽玻璃）、藍寶石、氧化鋁和 / 或陶瓷材料所形成的基板。在某些實施例中，核心基板 102 包括單晶 p 型或 n 型矽基板。在某些實施例中，核心基板 102 包括多晶 p 型或 n 型矽基板。在另一個實施例中，核心基板 102 包括 p 型或 n 型矽太陽能基板。一般來說，用於形成核心基板 102 的基板可以有多邊形或圓形的形狀。例如，核心基板 102 可以包括實質正方形的矽基板，在有或沒有倒角邊緣的情況下，其橫向尺寸介於約 120 毫米與約 180 毫米之間，如約 150 毫米，或介於約 156 毫米與約 166 毫米之間。在另一個例子中，核心基板 102 可以包括圓形的含矽晶圓，其直徑介於約 20 毫米與約 700 毫米之間，如約 100 毫米與約 500 毫米之間，例如約 200 毫米或約 300 毫米。

【0039】 核心基板 102 的厚度 T_1 介於約 50 微米與約 1500 微米之間，例如厚度 T_1 介於約 90 微米與約 780 微米之間。例如，核心基板 102 的厚度 T_1 介於約 100 微米與約 300 微米之間，例如厚度 T_1 介於約 110 微米與約 200 微米

層 114 的厚度一般介於約 50 奈米與約 10 微米之間，如約 100 奈米與約 5 微米之間。

【0043】絕緣層 118 形成在核心基板 102、鈍化層 104 或金屬包覆層 114 的一個或多個表面上，並且可以實質上包裹住鈍化層 104、金屬包覆層 114 和 / 或核心基板 102。因此，絕緣層 118 可以延伸到貫通基板的導孔 103 中，並塗覆形成在側壁 101 上的鈍化層 104 或金屬包覆層 114，或直接塗覆核心基板 102，從而界定了圖 1A 中所描繪的直徑 V_2 。在某些實施例中，絕緣層 118 從核心基板 102、鈍化層 104 或金屬包覆層 114 的外表面到絕緣層 118 的相鄰外表面（例如主要表面 105、107）的厚度 T_2 小於約 50 微米，例如厚度 T_2 小於約 20 微米。例如，絕緣層 118 的厚度 T_2 介於約 5 微米與約 10 微米之間。

【0044】在某些實施例中，絕緣層 118 是由基於聚合物的介電質材料形成的。例如，絕緣層 118 是由可流動的堆積材料形成的。因此，儘管下文稱為「絕緣層」，但絕緣層 118 也可以被描述為介電質層。在另一個實施例中，絕緣層 118 是由具有陶瓷填料（如二氧化矽（ SiO_2 ）顆粒）的環氧樹脂材料形成的。可以用於形成絕緣層 118 的陶瓷填料的其他例子包括氮化鋁（ AlN ）、氧化鋁（ Al_2O_3 ）、碳化矽（ SiC ）、氮化矽（ Si_3N_4 ）、 $\text{Sr}_2\text{Ce}_2\text{Ti}_5\text{O}_{16}$ 、矽酸鋯（ ZrSiO_4 ）、矽灰石（ CaSiO_3 ）、氧化鈹（ BeO ）、二氧化鈾（ CeO_2 ）、氮化硼（ BN ）、鈣銅鈦酸（ $\text{CaCu}_3\text{Ti}_4\text{O}_{12}$ ）、氧化鎂（ MgO ）、二氧化鈦（ TiO_2 ）、

(photodefinable) 的聚醯亞胺材料、非光敏聚醯亞胺、聚苯并噁唑 (PBO)、苯并環丁烯 (BCB)、二氧化矽和/或氮化矽形成。在另一個例子中，再分佈層 150 是由不同於絕緣層 118 的無機介電質材料形成的。在又另一個例子中，一個或多個最外側的再分佈層 150 包括焊料層，在這個焊料層上可以附接加勁框架 110 (下文論述)。在某些實施例中，再分佈層 150 的厚度介於每個約 5 微米與約 50 微米之間，例如厚度介於每個約 10 微米與約 40 微米之間。例如，再分佈層 150 的厚度介於每個約 20 微米與約 30 微米之間，例如每個約 25 微米。

【0051】 再分佈層 150 可以包括通過再分佈導孔 153 形成的一個或多個垂直再分佈連接件 154，以及橫向再分佈連接件 156，用於將電氣互連結構 144 的接觸點重新定位到半導體核心組件 100 的表面 (如主要表面 105、107) 上的期望位置。在一些實施例中，再分佈層 150 可以進一步包括形成在主要表面 105、107 上的一個或多個外部電連接 (未示出)，如球柵陣列或焊球。一般來說，再分佈導孔 153 和垂直再分佈連接件 154 相對於貫通組件的導孔 113 和電氣互連結構 144 分別具有實質相似或更小的橫向尺寸。例如，再分佈導孔 153 的直徑 V_3 介於約 2 微米與約 50 微米之間，例如直徑 V_3 介於約 10 微米與約 40 微米之間，例如直徑 V_3 介於約 20 微米與約 30 微米之間。此外，分佈層 150 可以包括形成在與垂直再分佈連接件 154

【0056】如圖1A-1C進一步示出，半導體核心組件100包括形成在其第一側175和/或第二側177的加勁框架110。加勁框架110為半導體核心組件100的整體結構提供了額外的剛性，從而減少或消除了將半導體核心組件100整合到高密度整合設備（例如，半導體封裝、PCB組件、PCB間隔件組件、晶片載體組件、中間載體組件、記憶體堆疊等）的期間核心基板102翹曲或塌陷的風險。因此，將加勁框架110與半導體核心組件100整合在一起，使更薄的核心基板102的利用成為可能，這有利於改進核心基板102兩側的部件之間的訊號完整性和電源輸送。在某些實施例中，加勁框架110也可以為與半導體核心組件100整合在一起的一個或多個半導體裸晶（例如圖1A-1C所示的半導體裸晶120）提供遮蔽效果。

【0057】一般來說，加勁框架110具有多邊形或圓環形的形狀，並由包括任何合適的基板材料的圖案化基板所形成。在某些實施例中，加勁框架110可以由包括與核心基板102實質相似的材料形成的基板形成，從而匹配其熱膨脹係數（CTE），並減少或消除組裝期間的翹曲風險。例如，加勁框架110可以由III-V族化合物半導體材料、矽（其例如具有約1與約10歐姆-厘米之間的電阻率或約100 W/mK的導電率）、結晶矽（例如Si<100>或Si<111>）、氧化矽、矽鍺、摻雜或未摻雜的矽、未摻雜的高電阻率矽（例如，具有較低溶解氧含量和約5000與約10000歐姆-厘米之間的電阻率的浮動區矽）、摻雜

120，並實質上沿著半導體核心組件100的橫向周邊追蹤。請注意，雖然圖1E中的加勁框架110被示為具有圓角，但倒角或直角的拐角也在考慮之列。

【0068】在圖1F中，形成在半導體核心組件100上的加勁框架110具有不規則的多邊形形狀，以容納不同尺寸的多個半導體裸晶120。單一的開口117形成在加勁框架110中，但形成在每個半導體裸晶120周圍的不同橫向尺寸內。

【0069】在圖1G中，加勁框架110有矩形環狀的形狀，它被跨越半導體核心組件100的表面延伸的一個或多個橫向肋條130劃分開來，從而形成多個開口117以容納多個半導體裸晶120。加勁框架110中的肋條130的形成可以為半導體核心組件100提供額外的機械支撐/剛性。在某些實施例中，肋條130可以以交叉或相交的圖案設置在半導體核心組件100上。請注意，儘管圖1G中的加勁框架110被說明為具有直角拐角的矩形，但其他一般的形狀和/或拐角的類型也在考慮之列。

【0070】如圖1E-1G所示，在某些實施例中，加勁框架110可以具有與半導體核心組件100實質匹配或實質相似的橫向尺寸。因此，在這樣的實施例中，外側橫向尺寸 L_1 和 L_2 在半導體核心組件100的外側橫向尺寸的約500微米內，例如約300微米內。在某些實施例中，橫向尺寸 L_1 和 L_2 實質上彼此相等。

如，基板400的厚度介於約100微米與約300微米之間，例如厚度介於約110微米與約200微米之間，例如厚度為約140微米。

【0076】 在操作310之前，基板400可以藉由線鋸、劃線和斷裂、機械磨料鋸或雷射切割來從散裝材料切開和分離。切片通常會導致由其形成的基板表面出現機械缺陷或變形，如刮痕、微裂縫、剝離和其他機械缺陷。因此，在操作310處，將基板400暴露於第一損傷移除製程，以使其表面平滑和平面化，並移除機械缺陷，為以後的構造操作做準備。在一些實施例中，基板400可以藉由調整第一損傷移除製程的製程參數進一步減薄。例如，基板400的厚度可以隨著對第一損傷移除製程的暴露增加而減少。

【0077】 操作310處的第一損傷移除製程包括將基板400暴露於基板拋光製程和/或蝕刻製程，然後是沖洗和乾燥製程。在一些實施例中，操作310包括化學機械拋光（CMP）製程。在某些實施例中，蝕刻製程是一種濕式蝕刻製程，包括緩衝蝕刻製程，該製程對期望材料（例如，污染物和其他不良化合物）的移除具有選擇性。在其他實施例中，蝕刻製程是利用各向同性的含水蝕刻製程的濕式蝕刻製程。任何合適的濕式蝕刻劑或濕式蝕刻劑組合可以用於濕式蝕刻製程。在某些實施例中，將基板400浸入HF蝕刻水溶液中進行蝕刻。在另一個實施例中，將基板400浸入KOH蝕刻水溶液中進行蝕刻。

【0157】 在操作1314和圖14G處，在中間核心組件612的設備側和非設備側兩者上執行錫料預墊層

(solder-on-pad; SOP)製程，以分別在中間核心組件612的設備側和非設備側形成焊墊1480a和1480b。

例如，在某些實施例中，將焊料施加到導孔1403a、1403b，然後進行回流焊，接著進行平坦化製程，如精壓(coining)，以形成焊墊1480a、1480b的實質平坦表面。

【0158】 在操作1316和圖14H處，將黏著劑1490施加到焊接掩模1466a的期望區域/表面(其例如在設備側)，加勁框架1410要附接在該等區域/表面上。在某些實施例中，黏著劑1490包括層合的黏著劑材料、裸晶附接膜、黏著劑膜、膠水、蠟等。在某些實施例中，黏著劑1490是一層與絕緣層618的介電質材料類似的介電質材料，例如具有陶瓷填料的環氧樹脂材料。黏著劑1490可以藉由機械軋製、壓製、層合、旋塗、刮刀等方式施加到焊接掩模1466a。

【0159】 然而，在某些實施例中，是將黏著劑1490直接施加到加勁框架1410，然後將其附接到中間核心組件612的焊接掩模1466a，而不是將黏著劑1490施加到焊接掩模1466a。在這樣的實施例中，當使用裸晶附接膜或黏著劑膜作為黏著劑1490時，在加勁框架1410被結構化/圖案化時，該膜可以被修剪成加勁框架1410的橫向尺寸。

形成在PCB 1520上的針腳連接器1522與PCB 1520電性連接。

【0164】 熱交換器1510（例如散熱器）的整合藉由傳輸由例如半導體裸晶1420、HBM 1530和/或矽核心基板602所傳導的熱，改進了封裝設備1400的散熱和熱特性，從而改進了系統1500的散熱和熱特性。改進的散熱，轉而又進一步降低了翹曲的可能性。合適類型的熱交換器1510包括針式散熱器、直式散熱器、擴口式散熱器等，它們可以由任何合適的材料形成，如鋁或銅。在某些實施例中，熱交換器1510是由擠壓鋁形成的。在某些實施例中，熱交換器1510直接與整合在系統1500內的一個或多個半導體裸晶附接，例如半導體裸晶1420和HBM模組1530的一個或多個裸晶，如圖15所示。在其他實施例中，熱交換器1510直接地或經由絕緣層618間接地與核心基板602附接。這種佈置與傳統的PCB相比特別有益，因為傳統的PCB是由導熱率低的玻璃強化環氧樹脂層合結構形成的，對其來說，添加熱交換器不會有什麼價值。

【0165】 圖16示意性地說明了依據本文所述的實施例，封裝設備1400的設備配置1600的橫截面側視圖，該封裝設備除了至少一個半導體裸晶1420堆疊在其上以外，還具有嵌入在其中的至少一個半導體裸晶1620。半導體裸晶1620可以是任何合適的裸晶或晶片類型，包括記憶體裸晶、微處理器、複雜的系統單晶片（SoC）或標準裸晶。合適類型的記憶體裸晶包括DRAM裸晶或

的加勁框架 1410。因此，與傳統的封裝結構相比，設備配置 1700 有利於改進散熱和熱特性，以及改進結構完整性。

【0170】 一般來說，蓋體 1710 具有多邊形或圓環形的形狀，並由包括任何合適的基板材料的圖案化基板所形成。在某些實施例中，蓋體 1710 可以由包括與加勁框架 1410 和核心基板 602 實質相似的材料 of 的基板形成，從而匹配其熱膨脹係數（CTE），並減少或消除組裝期間設備配置 1700 翹曲的風險。例如，蓋體 1710 可以由 III-V 族化合物半導體材料、矽（其例如具有約 1 與約 10 歐姆-厘米之間的電阻率或約 100 W/mK 的導電率）、結晶矽（例如 Si<100> 或 Si<111>）、氧化矽、矽鍺、摻雜或未摻雜的矽、未摻雜的高電阻率矽（例如，具有較低溶解氧含量和約 5000 與約 10000 歐姆-厘米之間的電阻率的浮動區矽）、摻雜或未摻雜的多晶矽、氮化矽、碳化矽（其例如具有約 500 W/mK 的導電率）、石英、玻璃（例如，硼矽酸鹽玻璃）、藍寶石、氧化鋁和 / 或陶瓷材料所形成。在某些實施例中，蓋體 1710 包括單晶 p 型或 n 型矽。在某些實施例中，蓋體 1710 包括多晶 p 型或 n 型矽。

【0171】 蓋體 1710 的厚度 T_4 介於約 50 微米與約 1500 微米之間，例如厚度 T_4 介於約 100 微米與約 1200 微米之間。例如，蓋體 1710 的厚度 T_4 介於約 200 微米與約 1000 微米之間，例如厚度 T_4 介於約 300 微米與約 775 微米之間，例如厚度 T_4 為約 750 微米或 775 微米。在另一個例子

5 0 6 : 操 作

5 0 8 : 操 作

5 1 0 : 操 作

5 1 2 : 操 作

5 1 4 : 操 作

5 1 6 : 操 作

5 1 8 : 操 作

6 0 2 : 核 心 基 板

6 0 3 : 導 孔

6 0 6 : 第 一 表 面

6 0 8 : 第 二 表 面

6 1 2 : 中 間 核 心 組 件

6 1 3 : 貫 通 組 件 的 導 孔

6 1 8 : 絕 緣 層

6 2 4 : 載 體

6 2 5 : 第 二 載 體

6 6 0 : 第 一 保 護 膜

6 6 2 : 第 二 保 護 膜

6 6 4 : 第 三 保 護 膜

6 7 5 : 第 一 側

6 7 7 : 第 二 側

7 0 0 : 方 法

7 1 0 : 操 作

7 2 0 : 操 作

7 3 0 : 操 作

7 4 0 : 操 作

7 5 0 : 操 作

9 0 0 : 方 法

9 1 0 : 操 作

9 2 0 : 操 作

9 3 0 : 操 作

9 4 0 : 操 作

9 5 0 : 操 作

9 6 0 : 操 作

9 7 0 : 操 作

1 0 0 5 : 主 要 表 面

1 0 0 7 : 主 要 表 面

1 0 4 0 : 黏 著 層

1 0 4 2 : 種 子 層

1 0 4 4 : 電 氣 互 連 結 構

1 0 5 0 : 抗 蝕 膜

1 1 0 0 : 方 法

1 1 0 2 : 操 作

1 1 0 4 : 操 作

1 1 0 6 : 操 作

1 1 0 8 : 操 作

1 1 1 0 : 操 作

1 1 1 2 : 操 作

1 1 1 4 : 操 作

1 1 1 6 : 操 作

1 1 1 8 : 操 作

1 1 2 0 : 操 作

1 1 2 2 : 操 作

1 2 1 6 : 絕 緣 膜

1 2 1 8 : 環 氧 樹 脂 層

1 2 2 2 : 保 護 層

1 2 2 4 : 載 體

1 2 4 0 : 黏 著 層

1 2 4 2 : 種 子 層

1 2 4 4 : 再 分 佈 連 接 件

1 2 5 0 : 抗 蝕 膜

1 2 5 3 : 再 分 佈 導 孔

1 2 7 0 : 半 導 體 核 心 組 件

1 3 0 0 : 方 法

1 3 0 2 : 操 作

1 3 0 4 : 操 作

1 3 0 6 : 操 作

1 3 0 8 : 操 作

1 3 1 0 : 操 作

1 3 1 2 : 操 作

1 3 1 4 : 操 作

1 3 1 6 : 操 作

1 3 1 8 : 操 作

1 3 2 0 : 操 作

1 4 0 0 : 封 裝 設 備

1 4 1 0 : 加 勁 框 架

1 4 1 7 : 開 口

1 4 2 0 : 半 導 體 裸 晶

1 4 2 2 : 觸 點

1 4 2 4 : 焊 料 凸 塊

1 4 4 0 : B G A

1 4 9 0 : 黏 著 劑

1 5 0 0 : 堆 疊 系 統

1 5 1 0 : 熱 交 換 器

1 5 2 0 : P C B

1 5 2 2 : 針 腳 連 接 器

1 6 0 0 : 設 備 配 置

1 6 0 3 : 空 腔

1 6 2 0 : 半 導 體 裸 晶

1 6 2 2 : 觸 點

1 7 0 0 : 設 備 配 置

1 7 1 0 : 蓋 體

1 7 9 0 : 黏 著 劑

1 7 9 2 : 熱 界 面 材 料 (T I M) 層

1 4 0 3 a : 導 孔

1 4 0 3 b : 導 孔

1 4 6 6 a : 焊 接 掩 模

1 4 6 6 b : 焊 接 掩 模

1 4 7 0 a : 導 電 層

1 4 7 0 b : 導 電 層

1 4 8 0 a : 焊 墊

1 4 8 0 b : 焊 墊

6 1 6 a : 第 一 絕 緣 膜

6 1 6 b : 第 二 絕 緣 膜

6 1 8 a : 環 氧 樹 脂 層

6 1 8 b : 環 氧 樹 脂 層

6 2 2 a : 保 護 層

6 2 2 b : 保 護 層

D_1 : 橫 向 尺 寸

L_1 : 外 側 橫 向 尺 寸

L_2 : 外 側 橫 向 尺 寸

P_1 : 間 距

T_1 : 厚 度

T_2 : 厚 度

T_3 : 厚 度

T_4 : 厚 度

V_1 : 直 徑

V_2 : 直 徑

V_3 : 直 徑

【生物材料寄存】

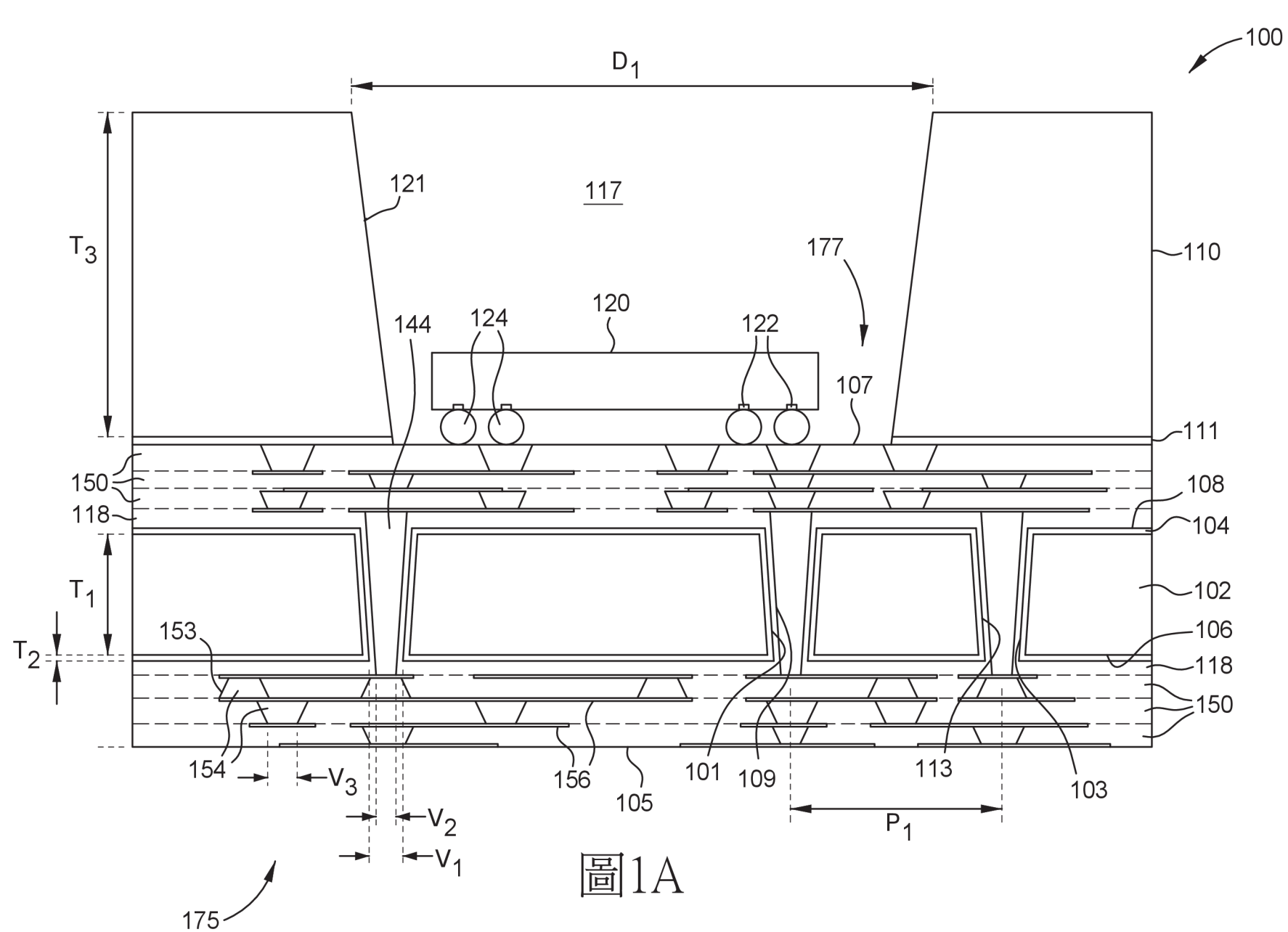
【 0 1 7 7 】 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

【 0 1 7 8 】 國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註

記)

無



第2頁，共34頁(發明圖式)

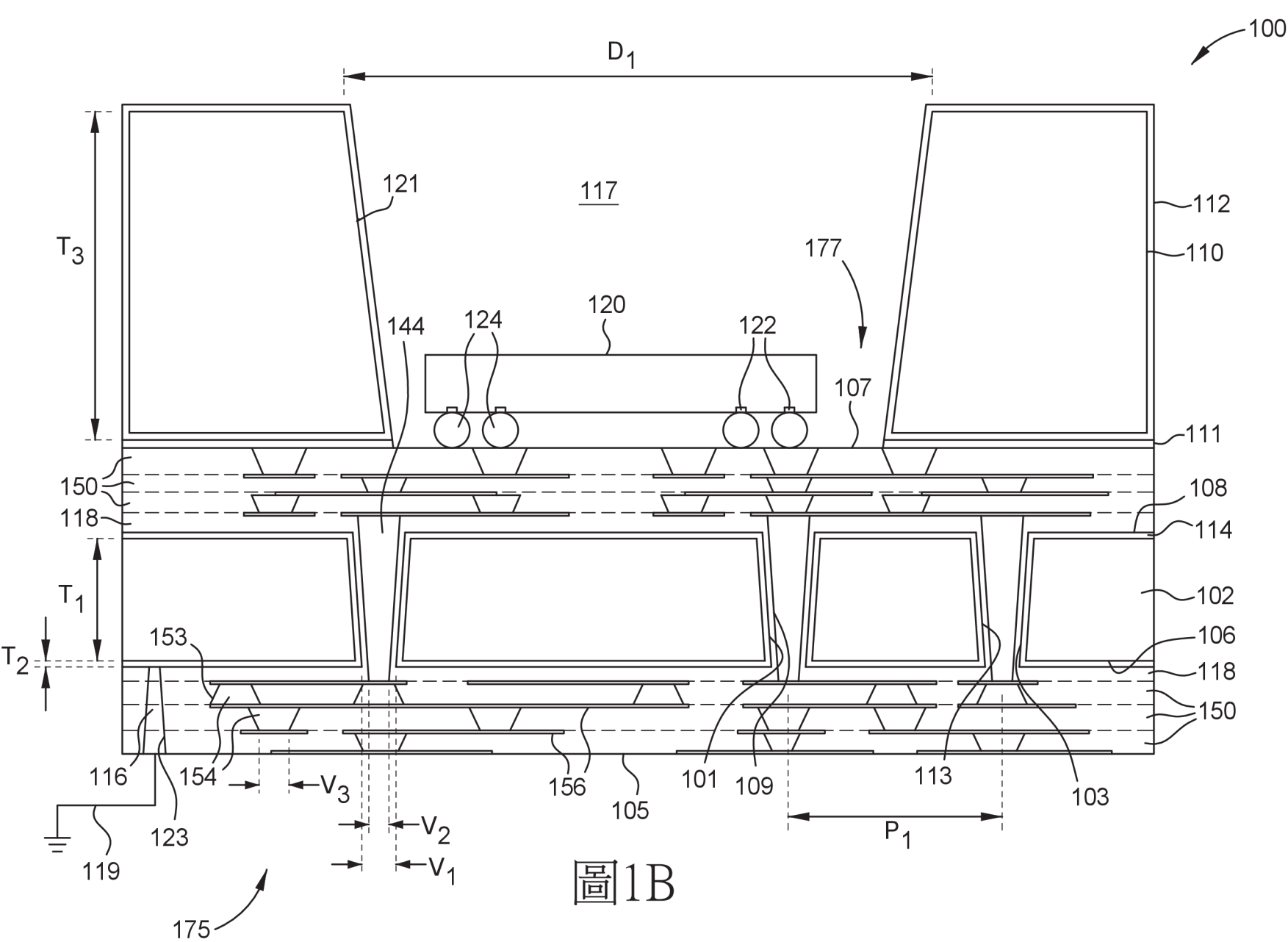
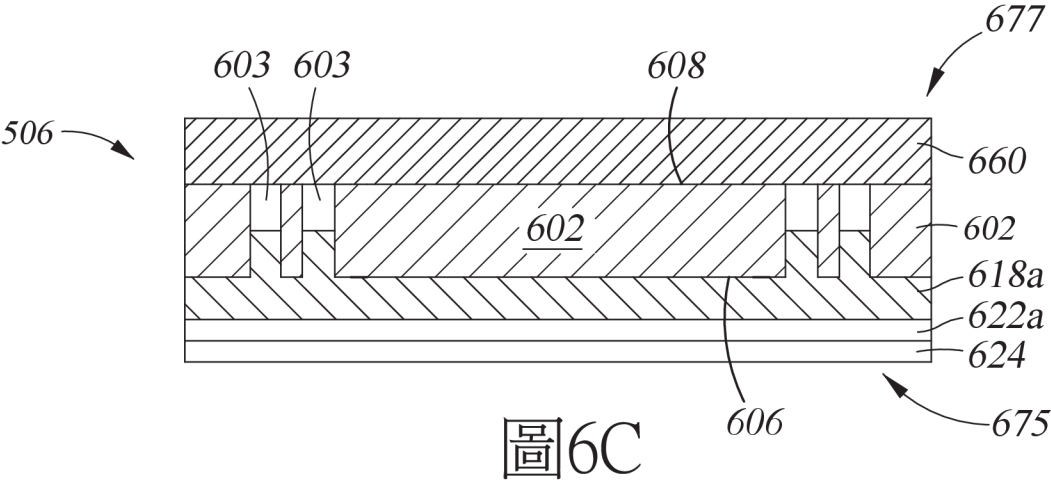
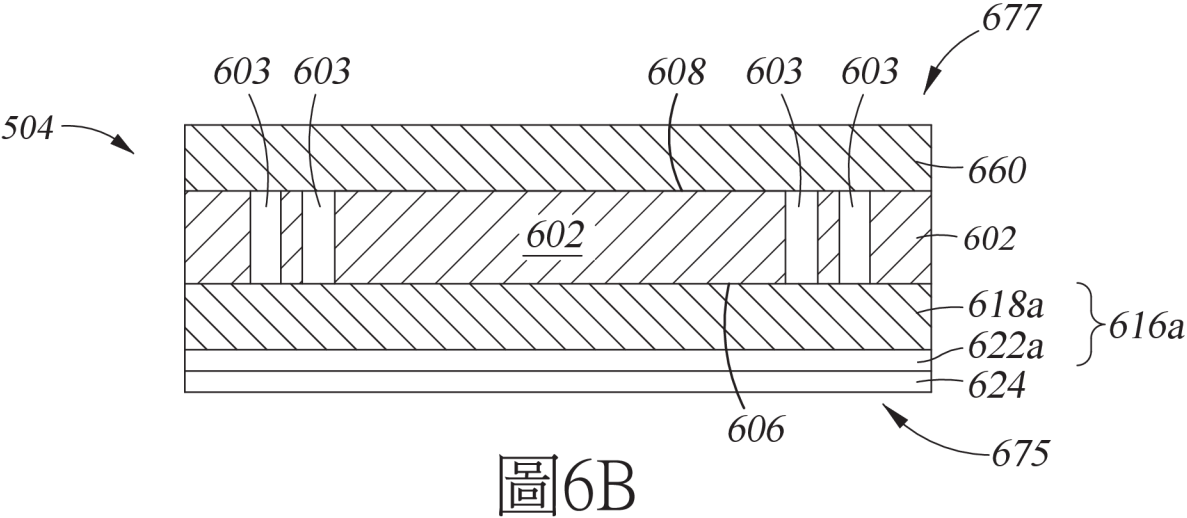
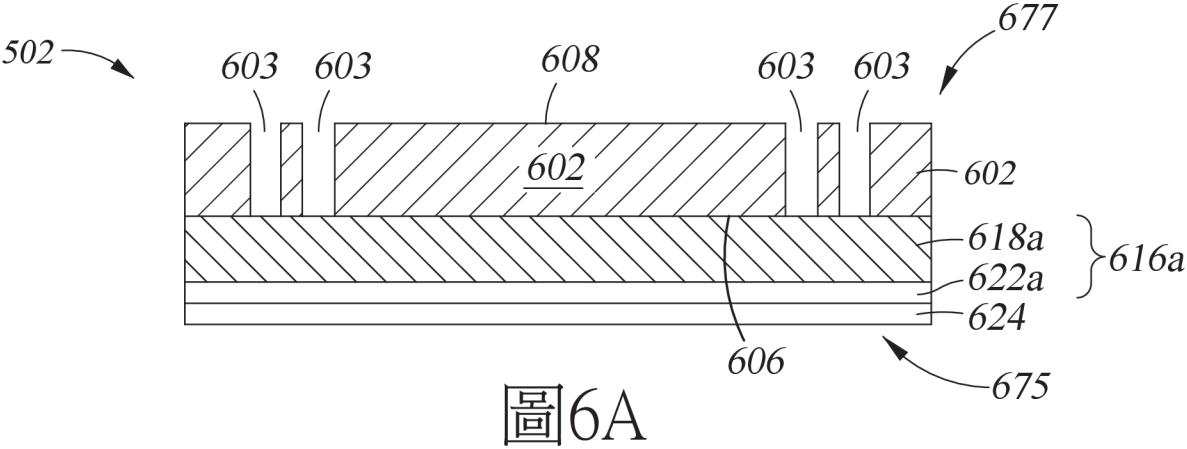


圖1B



圖1C

┌



└

┌

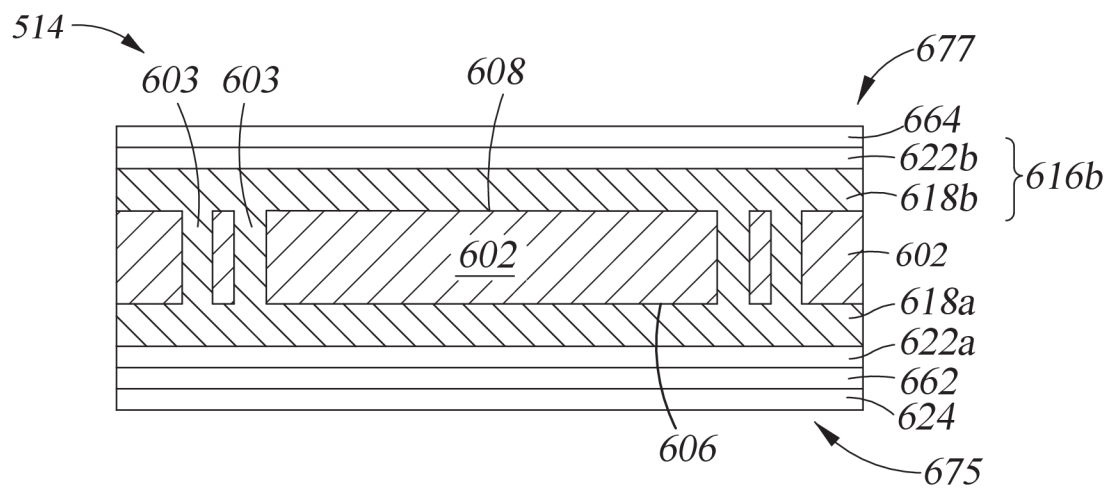


圖6G

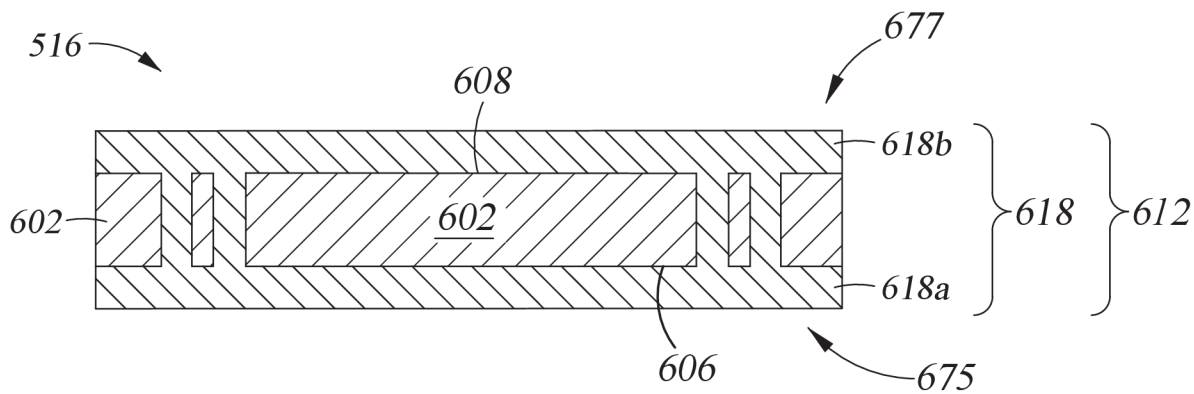


圖6H

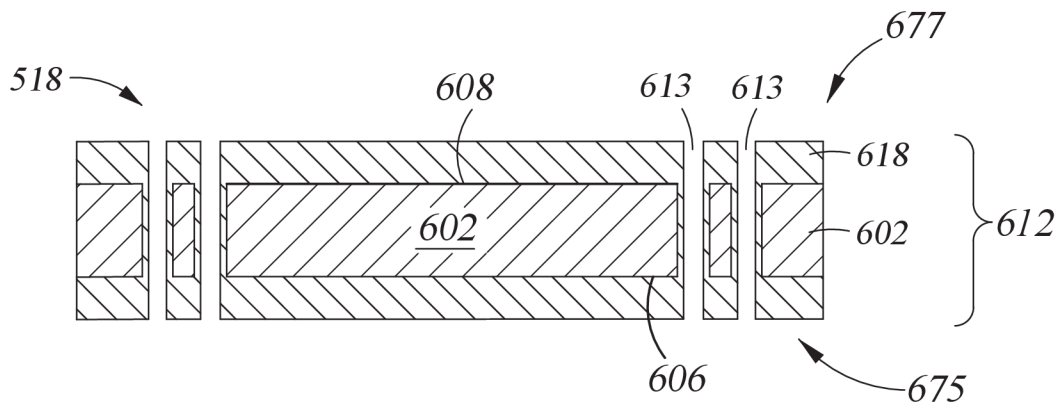


圖6I

└

┌

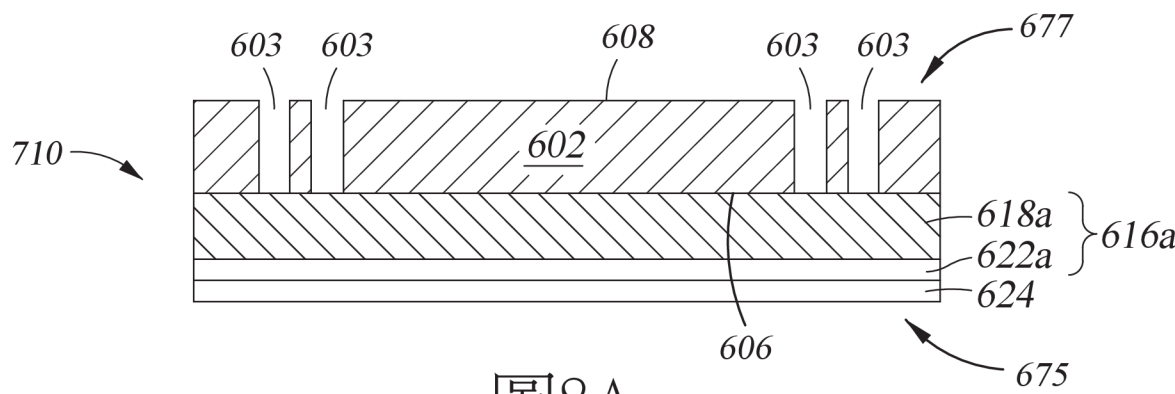


圖8A

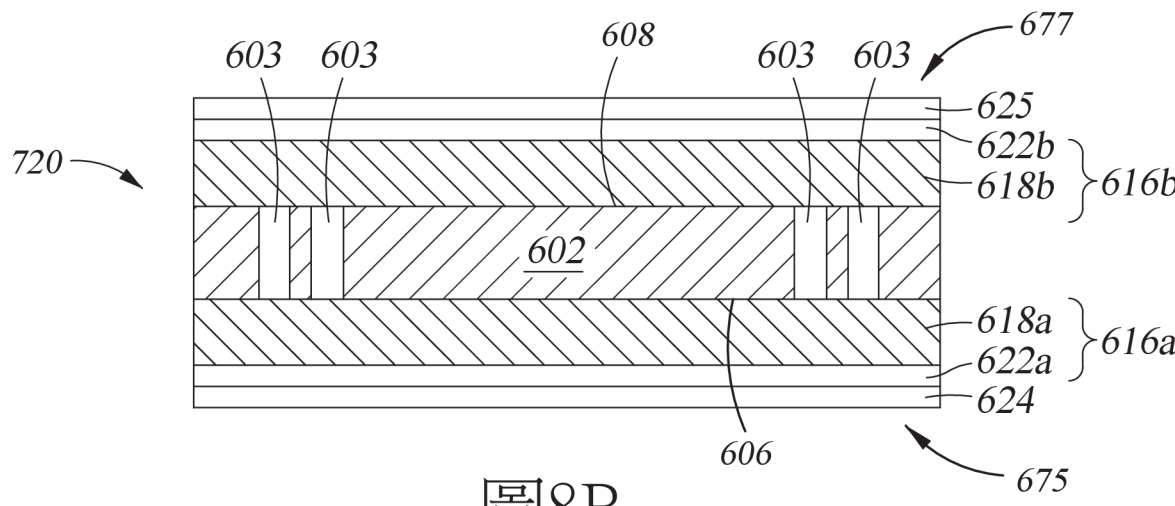


圖8B

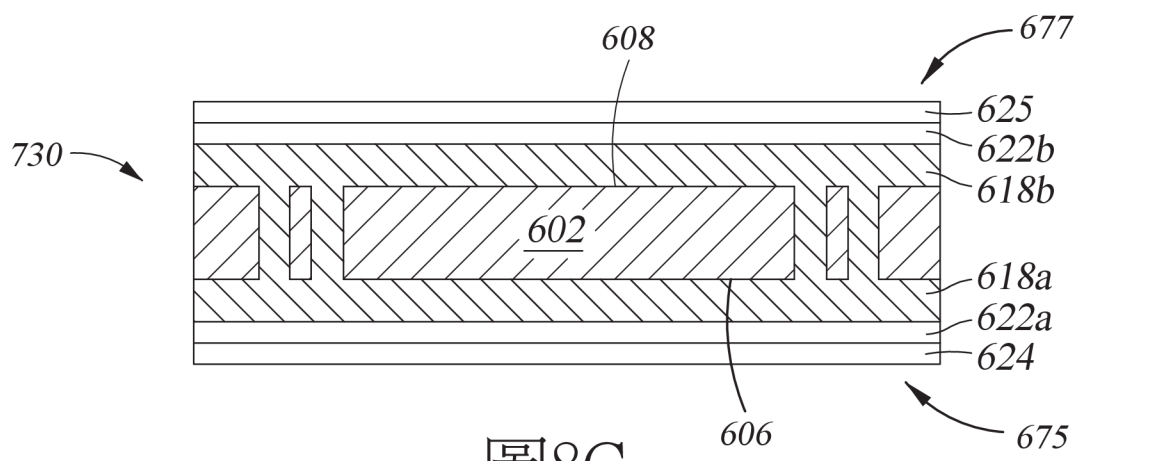


圖8C

└

第 19 頁，共 34 頁(發明圖式)

圖12A

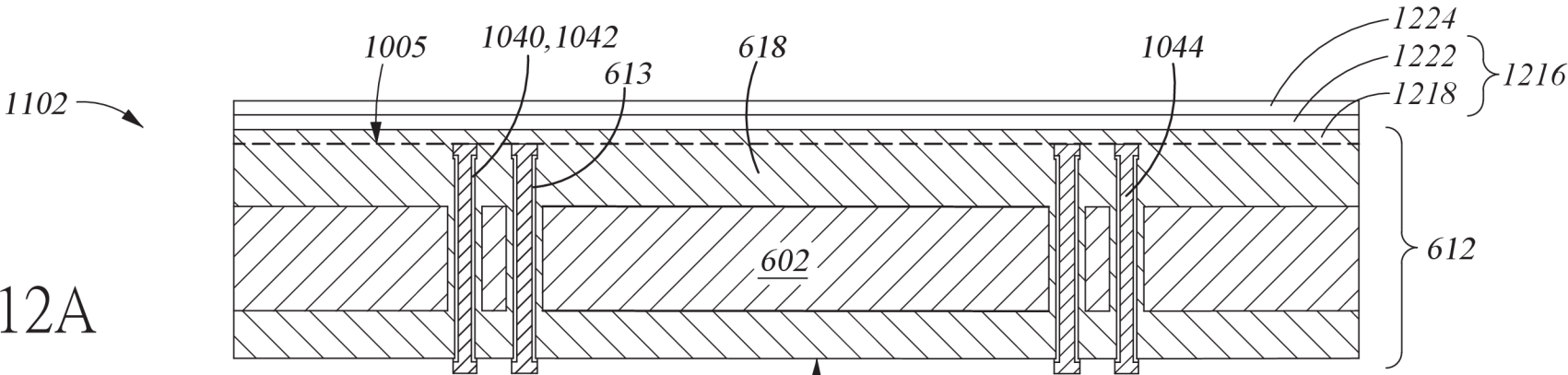


圖12B

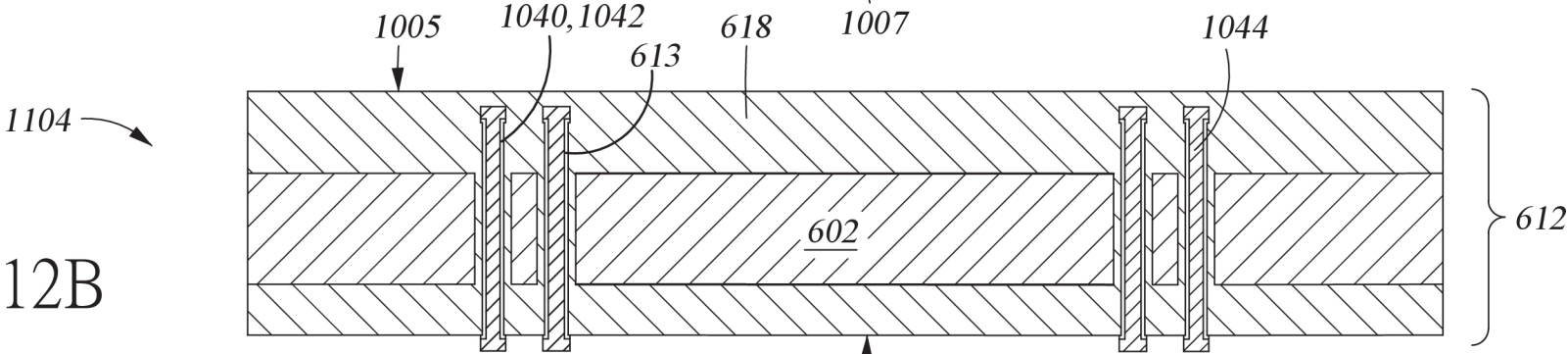


圖12C

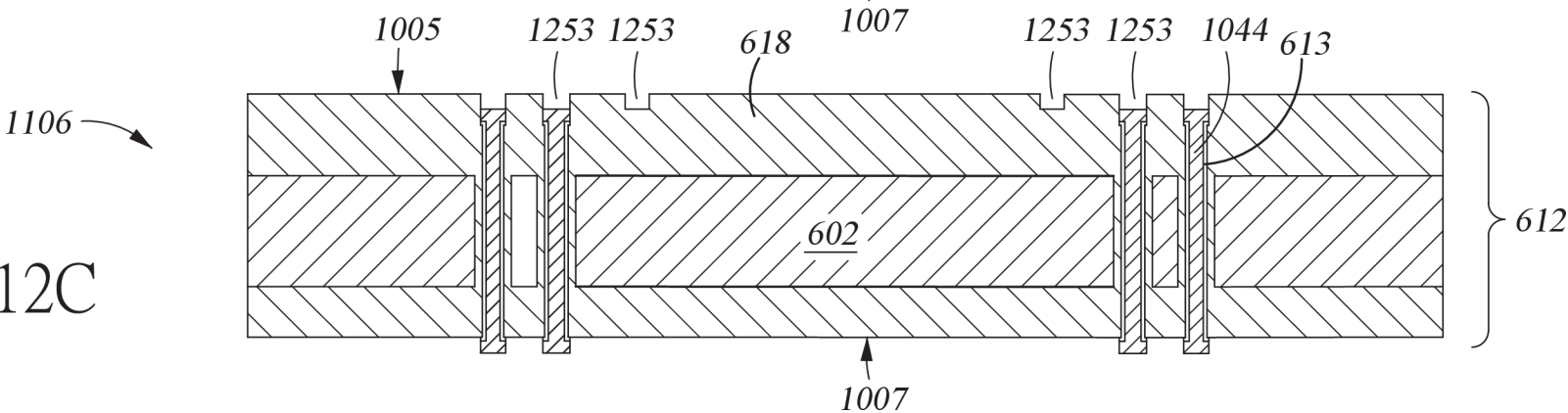


圖12F

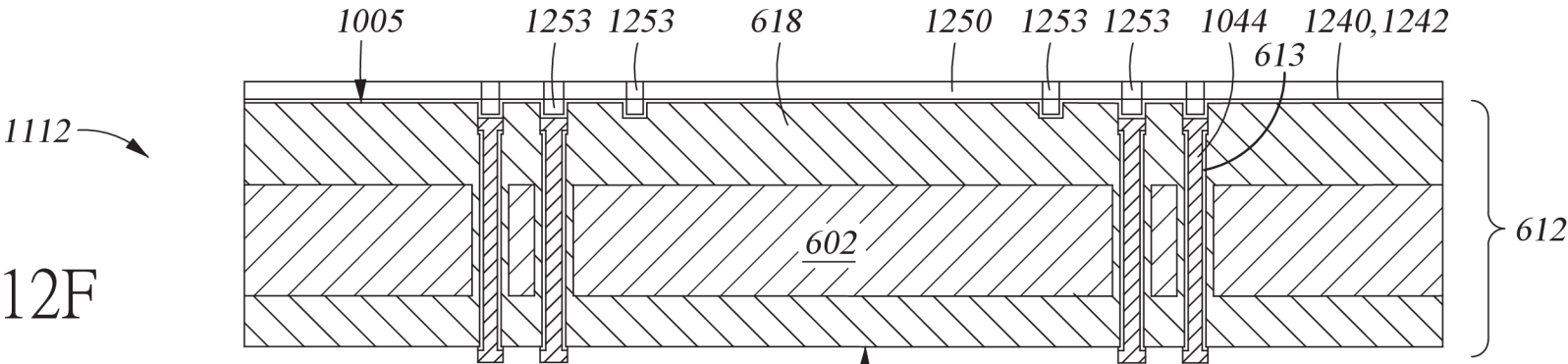


圖12G

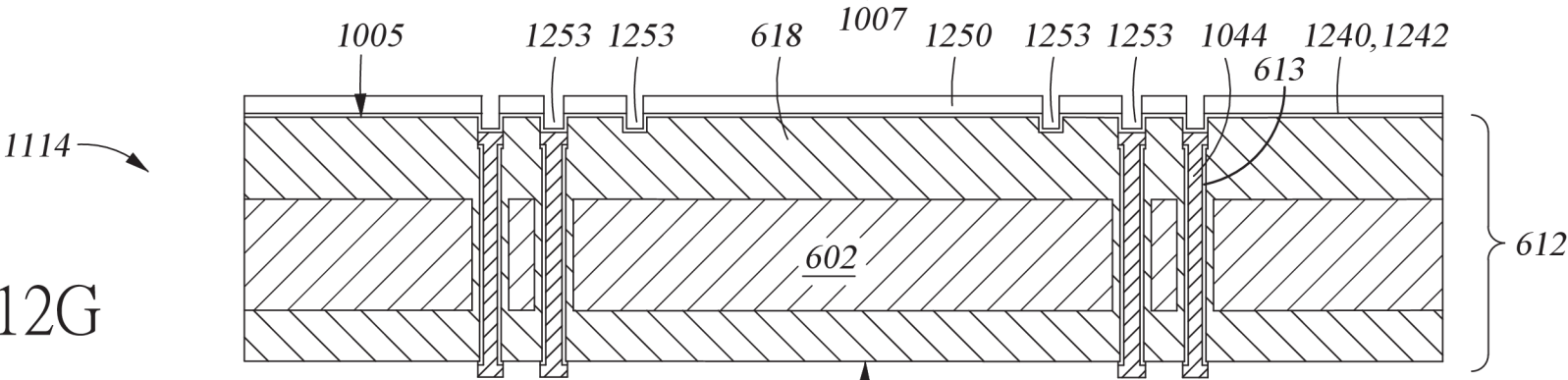


圖12H

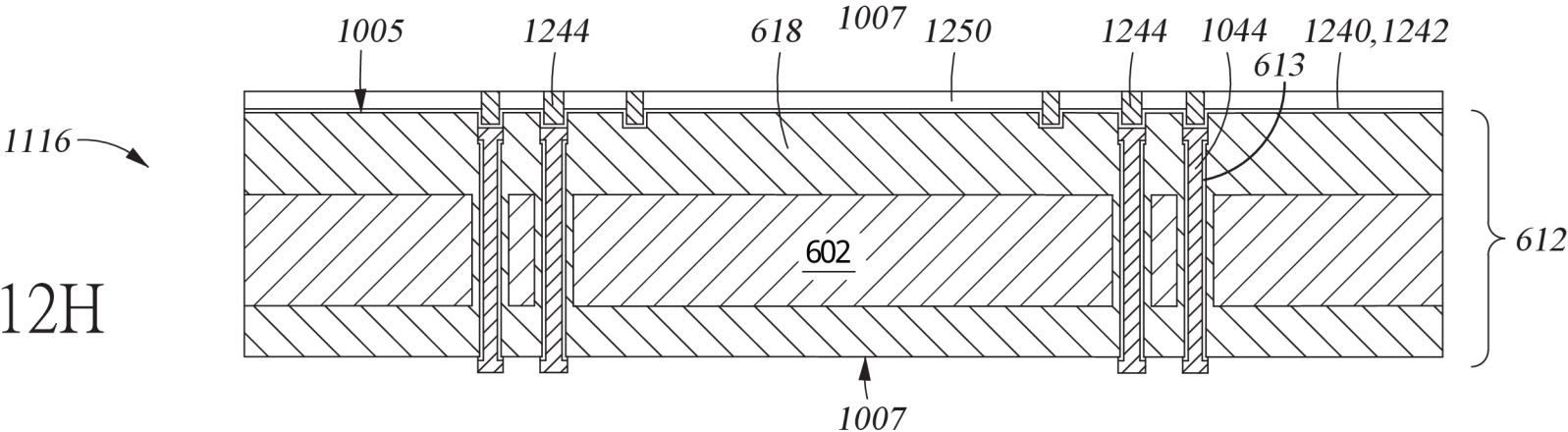




圖12I

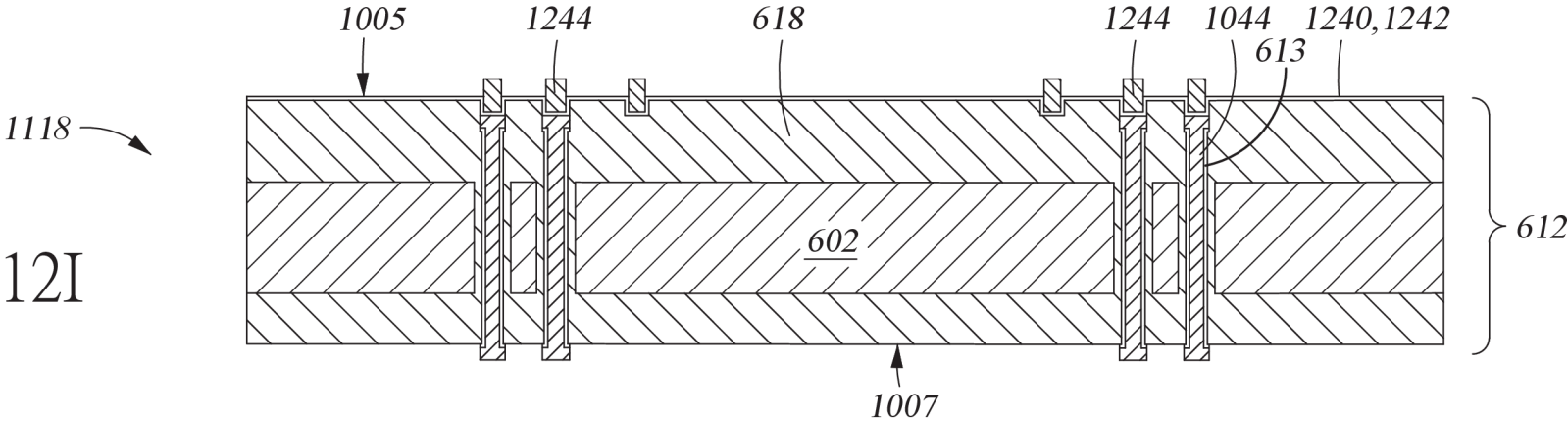
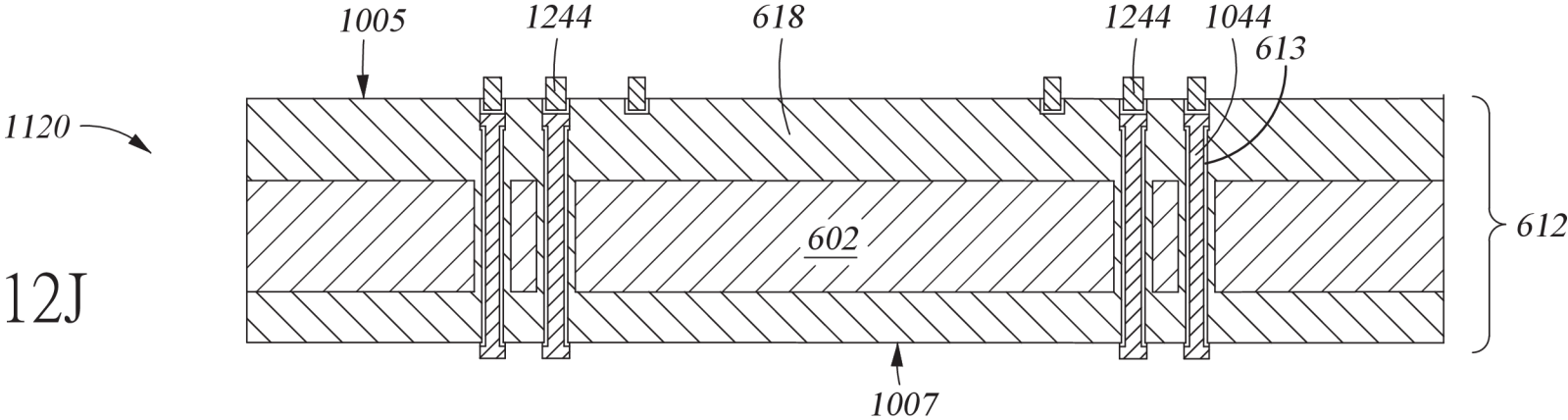


圖12J



7

圖12K

1122

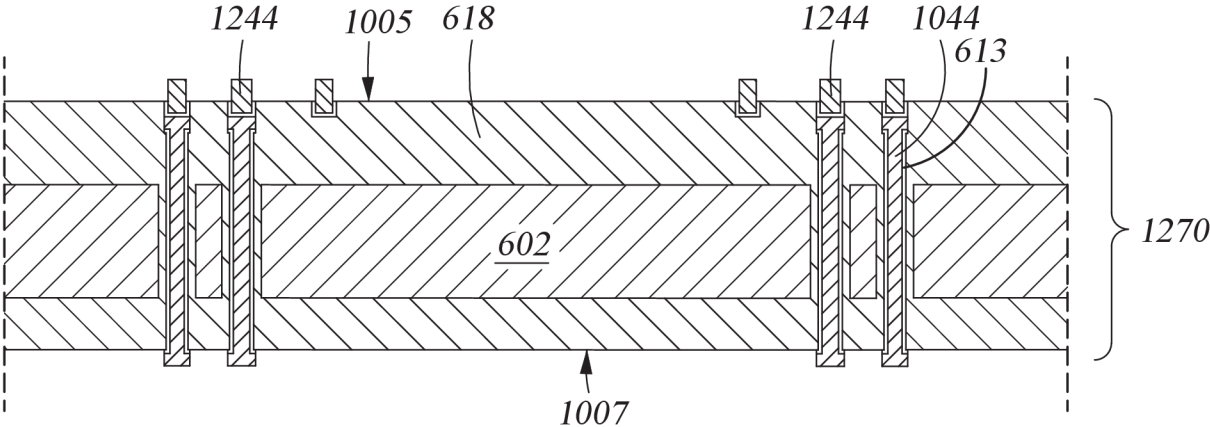


圖12L

